

Chaîne de conditionnement de bidons d'huile

I- Présentation du système :

Une société fabrique de lubrifiant pour automobile, le conditionne en bidons de 2 ou 4 litres et le commercialise (Conditionner des produits, des articles : les préparer pour l'expédition et la vente).

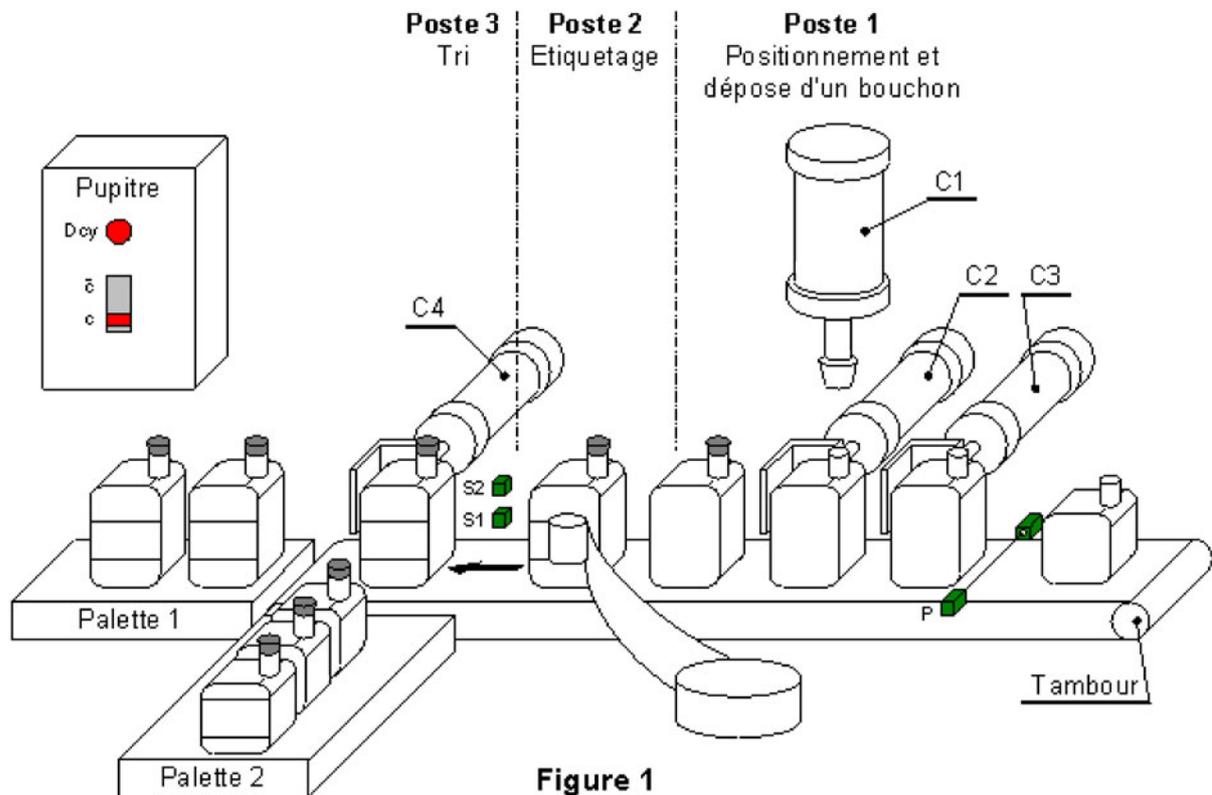


Figure 1

Schéma d'implantation du système de conditionnement de bidons d'huile

II- Fonctionnement du système : Les bidons arrivent par un tapis roulant, entraîné par un moteur M et sont détectés par un capteur « P », la présence d'un bidon et l'action sur Dcy provoque les opérations suivantes :

- Positionnement et dépose d'un bouchon (poste1).
 - Arrêter et positionner le bidon.
 - Déposer le bouchon (descente de (C1)).
 - Monter de (C1).
 - Libérer le bidon.
- Au poste (2) le bidon est étiqueté.
- Triage (poste 3) :
 - Si « S1 » et « S2 » sont actionnés, les bidons hauts (4 litres) sont évacués et regroupés par lot de 10 bidons sur la palette (1) ;

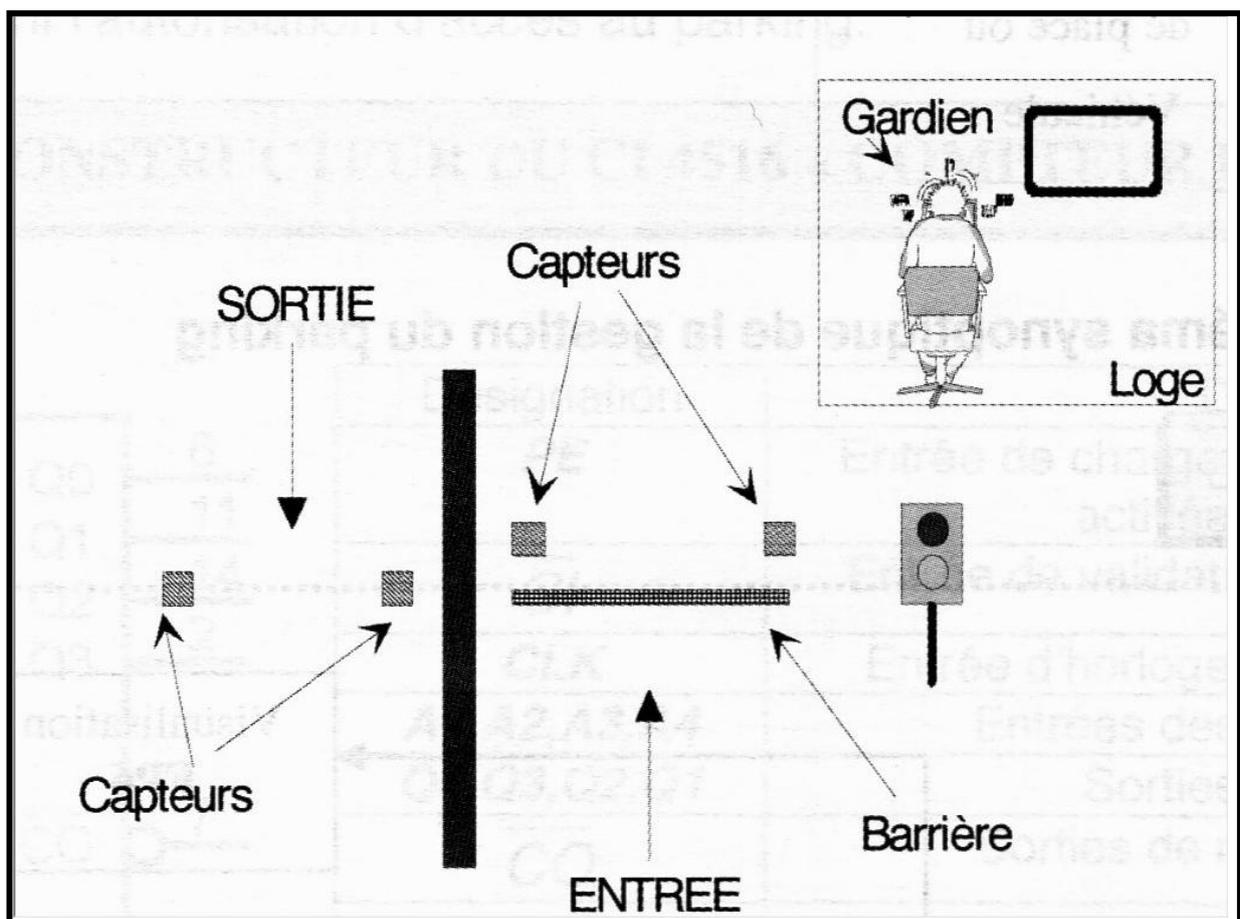
Si « S1 » actionné et « S2 » non actionné, les bidons bas (2 litres) sont éjectés par le vérin (C4) vers la palette (2) et regroupés par lot de 12

REPUBLICQUE TUNISIENNE MINISTERE DE L'EDUCATION		LYCEE MED ALI ANNABI RAS DJBEL
		DEVOIR DE CONTRÔLE N°1
SECTION :	SCIENCES TECHNIQUES	Durée : 2 heures
Epreuve :	GENIE ELECTRIQUE	4 ^{ème} SC.TECH2

CONTROLE D'ACCES DE PARKING

PRESENTATION :

Les responsables de la gestion de ces parkings ont choisi d'autoriser ou d'interdire l'accès par l'installation d'une signalisation bicolore (rouge ou verte) à l'entrée de la voie d'accès du parking. Les responsables peuvent savoir en permanence le nombre de véhicules présents, et en cas de travaux ils doivent pouvoir interdire l'accès ou modifier le nombre de places disponibles.



Le système « contrôleur d'accès au parking » place dans un parking à N places ($0 \leq N \leq 255$) doit :

- Réguler la circulation d'accès au parking en fonction du nombre de places programmées et de nombre de véhicules garés présents dans le parking.
 - Si le nombre de véhicules garés est inférieur à N programmé, une lampe verte est allumée, signalant l'autorisation d'accès au parking (ouverture de la barrière).
 - Si le nombre de véhicules garés est égal à N programmé, une lampe rouge est allumée, signalant l'interdiction d'accès au parking (fermeture de la barrière).
- Avertir les automobilistes par une signalisation visuelle sur l'accès du parking (rouge ou verte).

Remarque : A tout moment le gardien peut actionner l'interrupteur « feu rouge » pour interdire l'accès même si le nombre maximum de N n'est pas atteint pour cause des travaux, d'accident ou de réservation de places

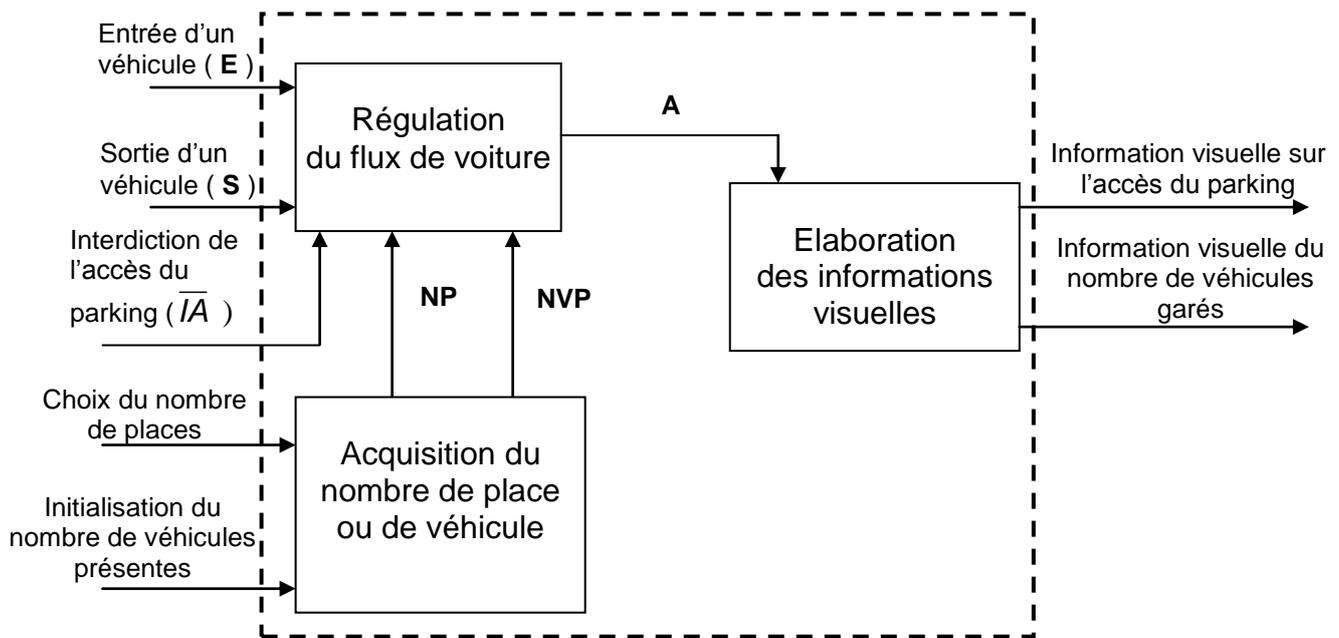
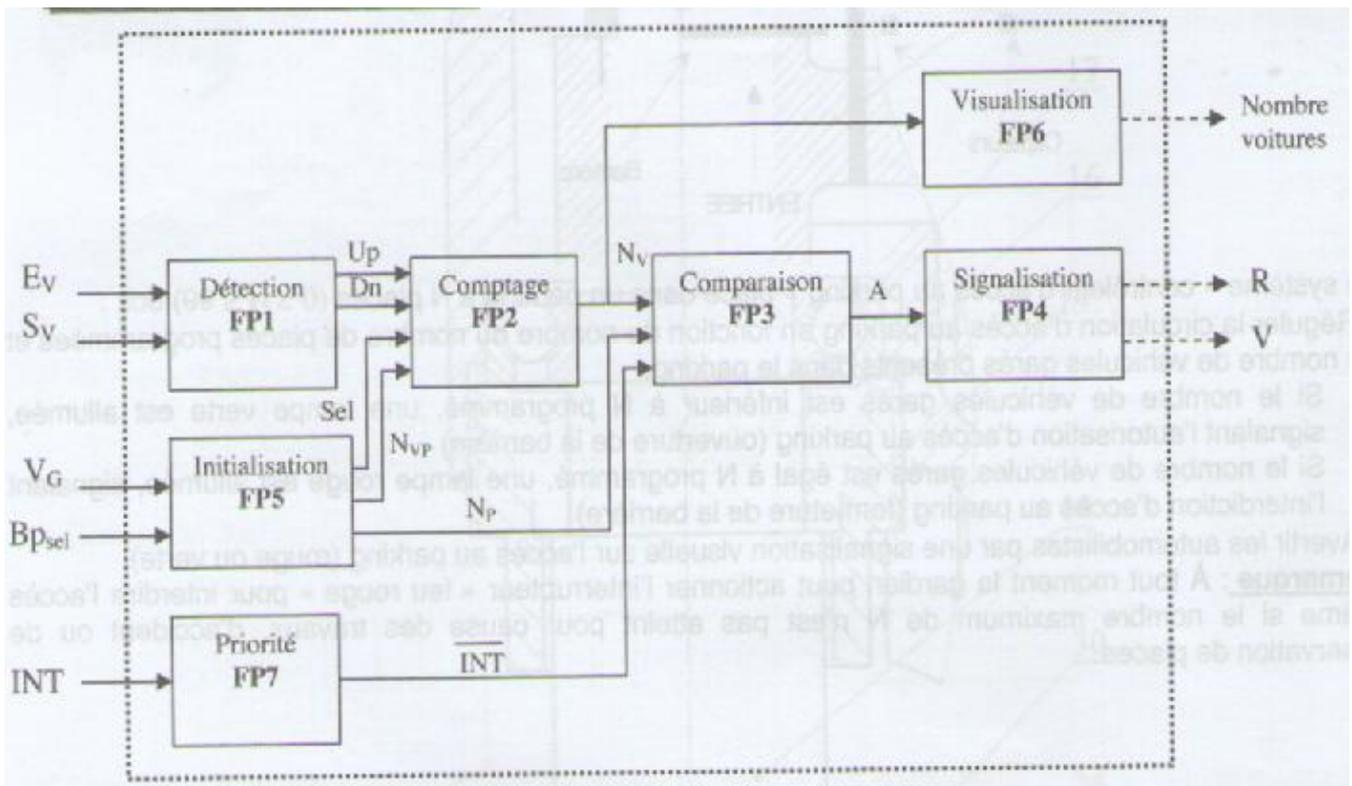


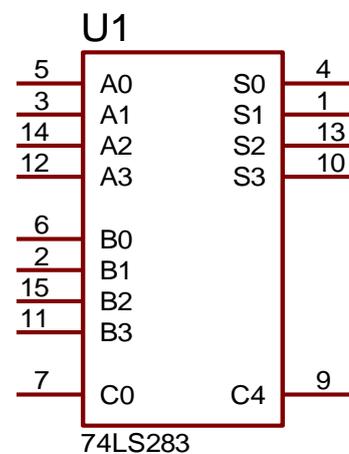
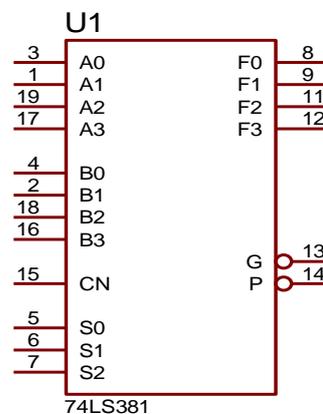
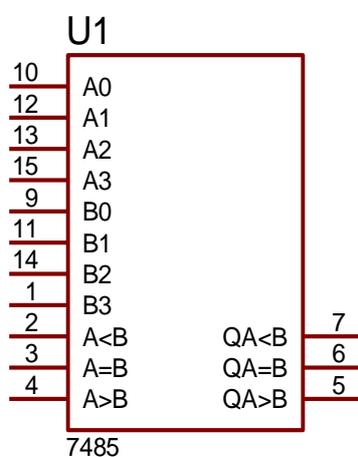
Schéma synoptique de la gestion du parking

SCHEMA FONCTIONNEL :



- **Ev** : entrée d'un véhicule.
- **Sv** : sortie d'un véhicule.
- **Up** : signal logique sous forme d'impulsions au niveau logique bas lorsqu'un véhicule entre dans le parking .
- **Dn** : signal logique sous forme d'impulsions au niveau logique bas lorsqu'un véhicule sort du parking .
- **VG** : nombre de voitures garées.

- **Bpsel** : bouton poussoir permettant la validation (ou chargement) de la mise à jour du nombre de voiture garées (**Nvp**) par réglage des roues codeuses. Si **Bpsel** n'est pas appuyé, les roues codeuses indiquent le nombre de places du parking (**Np**).
- **Np** : mot de huit bits codé en binaire représentant le nombre de places du parking.
- **Nvp** : mot de huit bits codé en binaire représentant le nombre de véhicules présents dans le parking (utilisé pour la mise en fonctionnement ou la correction d'anomalie)
- **Sel** : permet la validation (ou le chargement) du nombre de véhicules présents dans le parking lors de la mise
- **INT** : bouton poussoir permettant d'interdire l'accès au parking.
- \overline{INIT} : signal logique permet l'interdiction d'accès au parking en cas de travaux, etc..
- **Nv** : mot de huit bits codé en binaire représentant le nombre de véhicules garées.
- **A** : signal logique permettant la commande de l'allumage d'un feu vert en cas d'autorisation s'accès au parking et un feu rouge dans le cas contraire.
- **R** : feu rouge signalant l'interdiction d'accès au parking.
- **V** : feu vert signalant l'autorisation d'accès au parking.



FUNCTION TABLE : 7485

COMPARING INPUTS				CASCADING INPUTS			OUTPUTS		
A ₃ , B ₃	A ₂ , B ₂	A ₁ , B ₁	A ₀ , B ₀	I _{A>B}	I _{A<B}	I _{A=B}	Q _{A>B}	Q _{A<B}	Q _{A=B}
A ₃ >B ₃	X	X	X	X	X	X	H	L	L
A ₃ <B ₃	X	X	X	X	X	X	L	H	L
A ₃ =B ₃	A ₂ >B ₂	X	X	X	X	X	H	L	L
A ₃ =B ₃	A ₂ <B ₂	X	X	X	X	X	L	H	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ >B ₁	X	X	X	X	H	L	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ <B ₁	X	X	X	X	L	H	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ >B ₀	X	X	X	H	L	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ <B ₀	X	X	X	L	H	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	H	L	L	H	L	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	L	H	L	L	H	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	L	L	H	L	L	H
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	X	X	H	L	L	H
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	H	H	L	L	L	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	L	L	L	H	H	L

Notes

1. H = HIGH voltage level
L = LOW voltage level
X = don't care

FUNCTION TABLE : 74LS283

PINS	C _{IN}	A ₁	A ₂	A ₃	A ₄	B ₁	B ₂	B ₃	B ₄	Σ ₁	Σ ₂	Σ ₃	Σ ₄	C _{OUT}	EXAMPLE ⁽²⁾
logic levels	L	L	H	L	H	H	L	L	H	H	H	L	L	H	
active HIGH	0	0	1	0	1	1	0	0	1	1	1	0	0	1	(3)
active LOW	1	1	0	1	0	0	1	1	0	0	0	1	1	0	(4)

Note

- H = HIGH voltage level
L = LOW voltage level
- example**

1001
1010

10011
- for active HIGH, example = (9 + 10 = 19)
- for active LOW, example = (carry + 6 + 5 = 12)

FUNCTION TABLE : 74LS381

SELECTION			ARITHMETIC/LOGIC
S2	S1	S0	OPERATION
L	L	L	CLEAR
L	L	H	B MINUS A
L	H	L	A MINUS B
L	H	H	A PLUS B
H	L	L	A ⊕ B
H	L	H	A + B
H	H	L	AB
H	H	H	PRESET

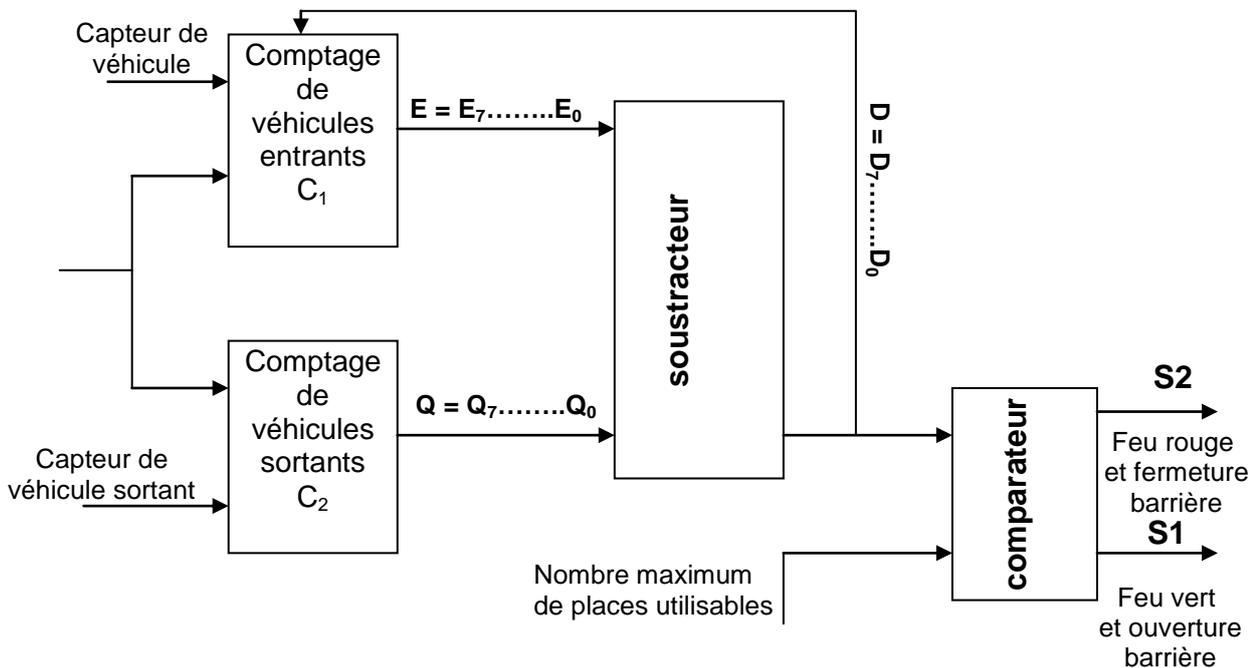
H = high level, L = low level

REPUBLICQUE TUNISIENNE MINISTERE DE L'EDUCATION		LYCEE MED ALI ANNABI RAS DJBEL
DEVOIR DE CONTRÔLE N°1		
SECTION :	SCIENCES TECHNIQUES	Durée : 2 heures
Epreuve :	GENIE ELECTRIQUE	4 ^{ème} SC.TECH2

Nom : Prénom : N° :

ETUDE DE L'EXTENSION DU SYSTEME :

Les responsables de la gestion du parking ont réalisés une extension du parking pour qu'il soit en disposition de garer un nombre de voitures allant jusqu'à 255 ; pour cella le schéma fonctionnel du contrôleur d'accès au parking est transformé de la façon suivante :

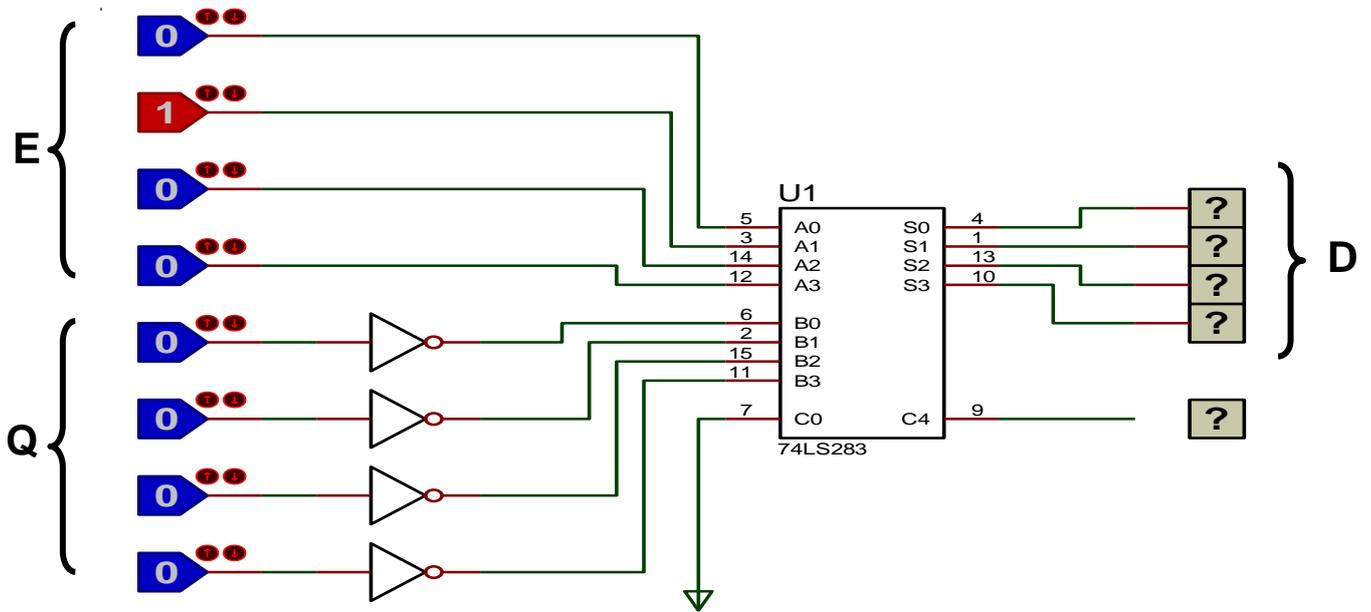


- **E = E₇E₆E₅E₄E₃E₂E₁E₀** : information binaire de 8 bits représentant le nombre de véhicules entrants.
- **Q = Q₇Q₆Q₅Q₄Q₃Q₂Q₁Q₀** : information binaire de 8 bits du nombre de véhicules sortants.
- **D = D₇D₆D₅D₄D₃D₂D₁D₀** : information binaire de 8 bits du nombre de véhicules garés
(**D = E - Q**) .

1°) Etude d'additionneur-soustracteur: (12,5 pts)

1-1) Saisir le schéma ci-dessous et compléter le tableau suivant :

C ₀	E ₃ E ₂ E ₁ E ₀	Q ₃ Q ₂ Q ₁ Q ₀	D ₃ D ₂ D ₁ D ₀	C ₄	Opération réalisée
1	1100	0011			
1	0101	1001			



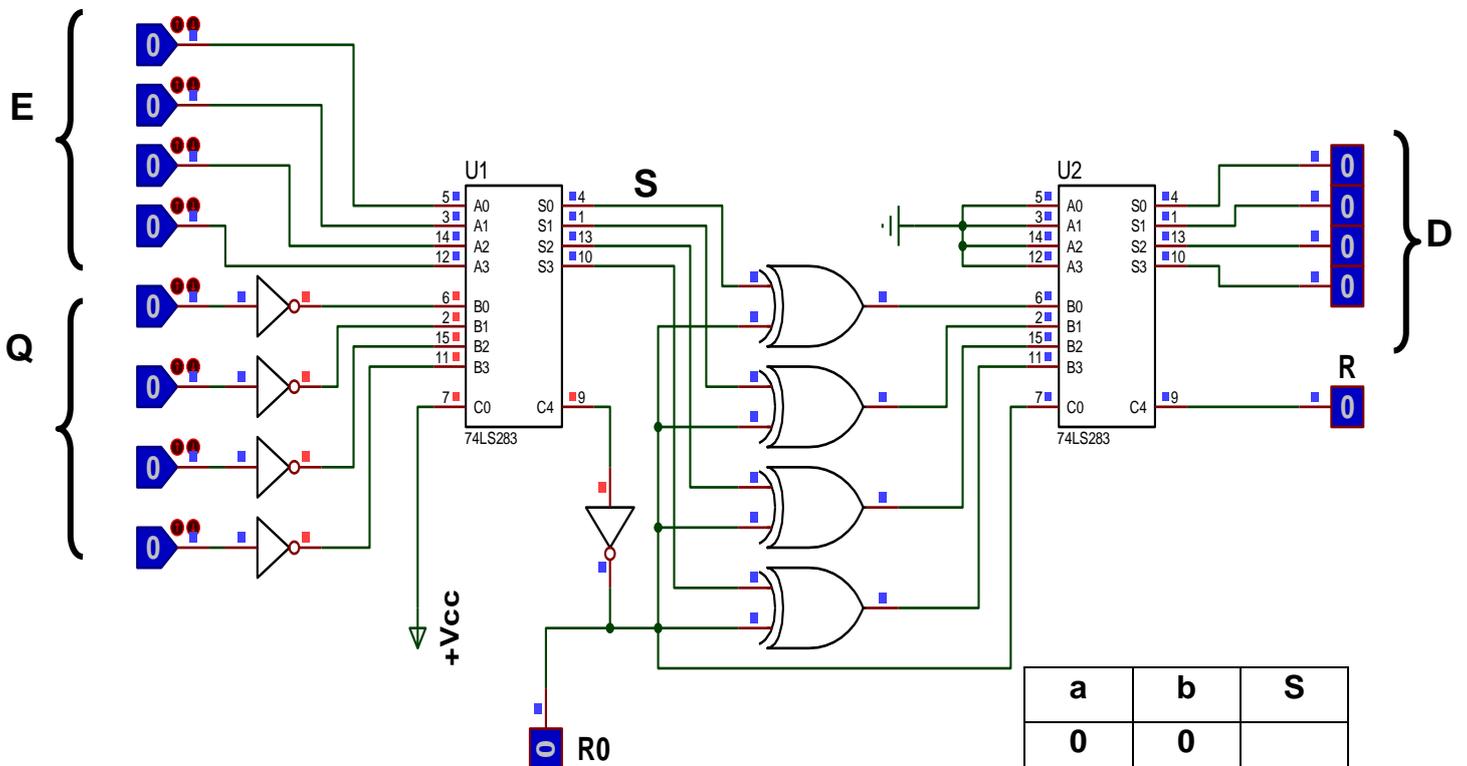
1-2) Dédurre la fonction réalisée par le montage.

.....

.....

.....

1-3) On améliore le montage précédent comme suit:



a) Compléter la table de vérité de la fonction suivante : $S = a \oplus b$

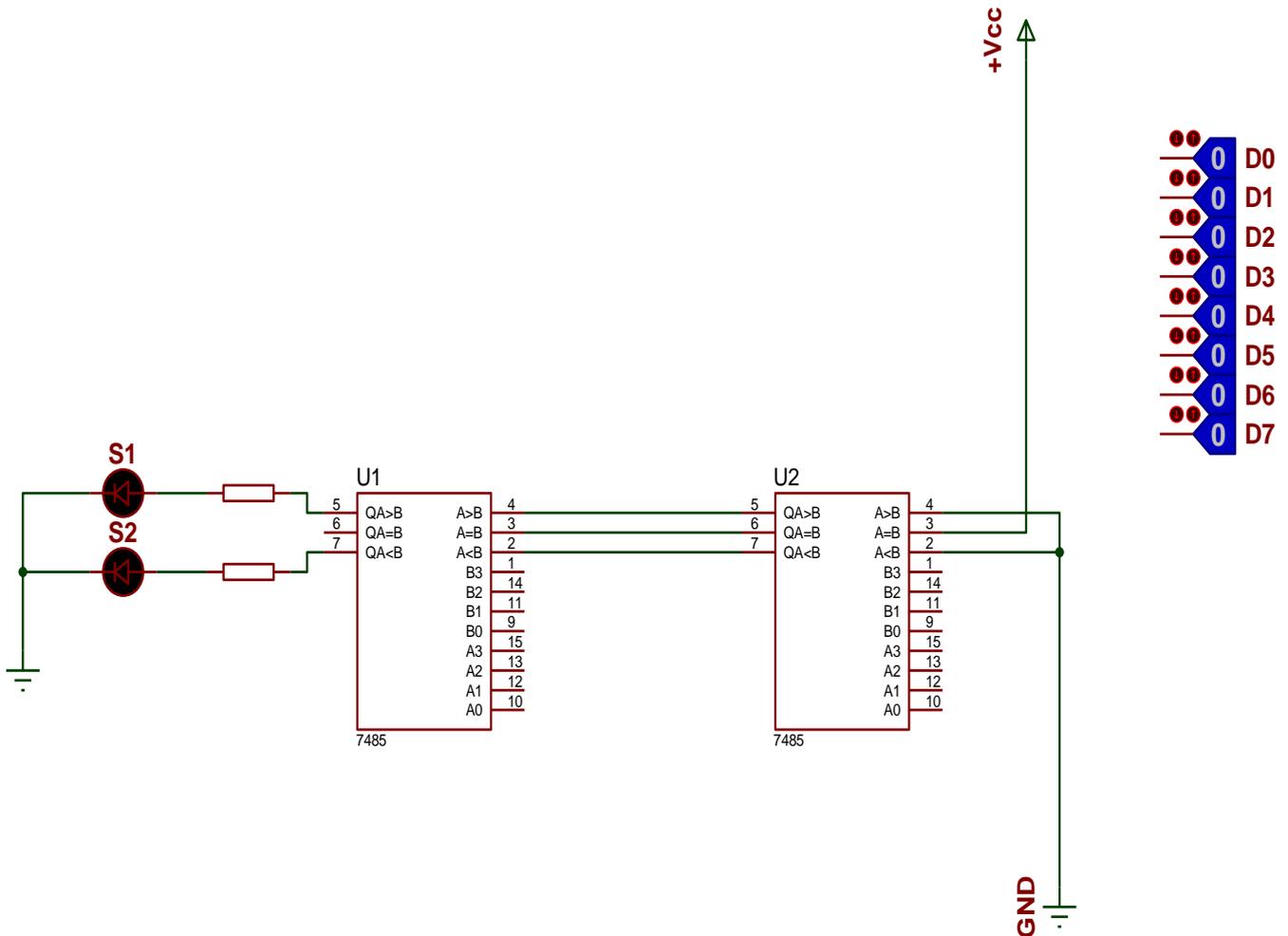
.....

2°) Etude du comparateur :(3 pts)

Le nombre de véhicules en stationnement « **D** » est comparé au nombre maximal de places « **N** » du parking.

- Si (**D < N**) : le feu à l'entrée sera vert et la barrière est ouverte (**S₁ = 1**).
 - Si (**D > N**) : le feu passera au rouge et la barrière se refermera pour interdire l'entrée d'autres voitures (**S₂ = 1**).
- a) Sachant que le nombre de places est **N = 120** ; trouver son équivalent en binaire.
-

- b) En utilisant deux circuit intégrés « **7485** » réaliser le branchement nécessaire à l'élaboration du résultat de la comparaison des nombres **N** et **D** permettant la commande de la barrière et des deux feux de signalisation (**S₁** et **S₂**).



3°) Etude d'unité UAL : (4,5 pts)

On désigne par :

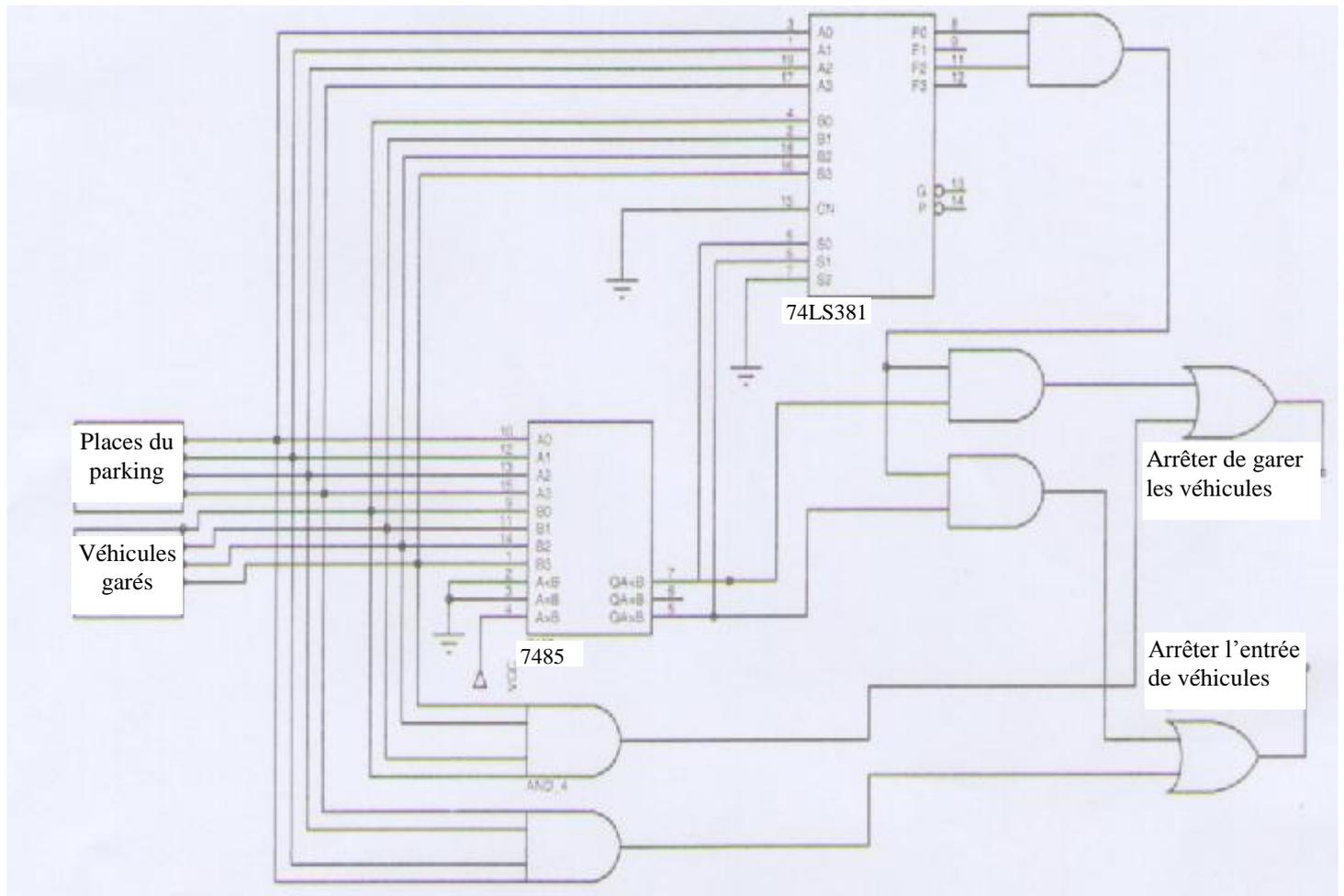
A : le nombre de places du parking

B : le nombre de véhicules garés

F : la différence absolue entre le nombre de places du parking et le nombre de véhicules garés

Pour équilibrer le nombre de places du parking au nombre de véhicules garés, on se propose de limiter la différence absolue à cinq (5).

Pour cela on exploite les signaux délivrés par la carte électronique suivante.



a-) En se referant au schéma ci-dessus compléter la table suivante :

	$S_2S_1S_0$	Opération réalisée par le circuit 74LS381
A > B		
A < B		
A = B		

b-) On donne: **A = 1100**; **B = 1001**, calculer **F =**

On donne: **A = 1100**; **B = 1101**, calculer **F =**

On donne: **A = 1000**; **B = 1100**, calculer **F =**

I- Etude de l'additionneur

1- compléter la table de vérité d'un additionneur complet de deux nombres à 1 bits ; (S_i : somme ; C_{i+1} : la retenue de sortie ; C_i : la retenue d'entrée ; a_i et b_i : bits d'entrées).

a_i	b_i	C_i	C_{i+1}	S_i
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

/1

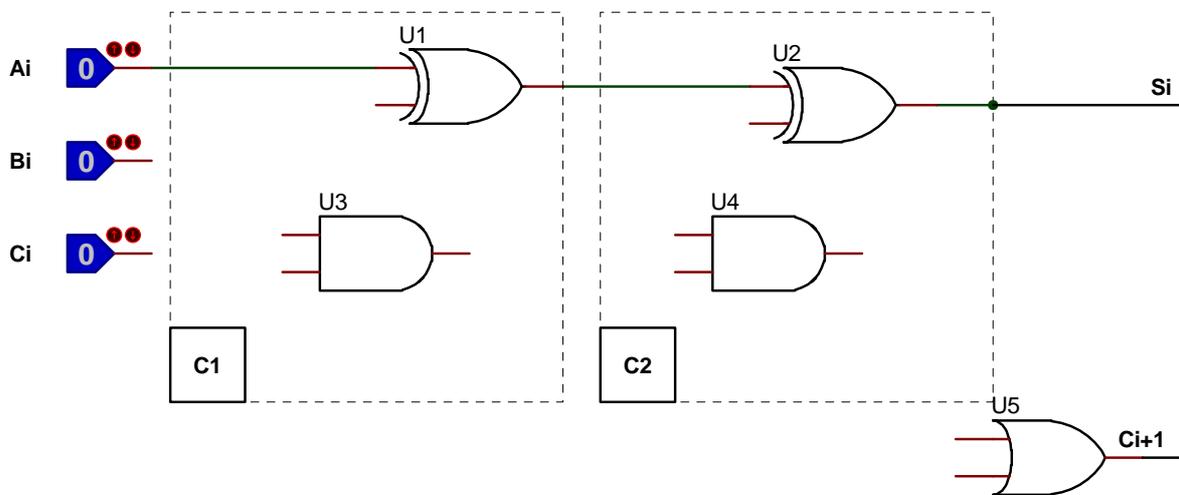
2- Donner les équations logiques simplifiées des sorties.

$C_{i+1} = \dots\dots\dots$

$S_i = \dots\dots\dots$

/1

3- Compléter le logigramme de l'additionneur complet.



/1

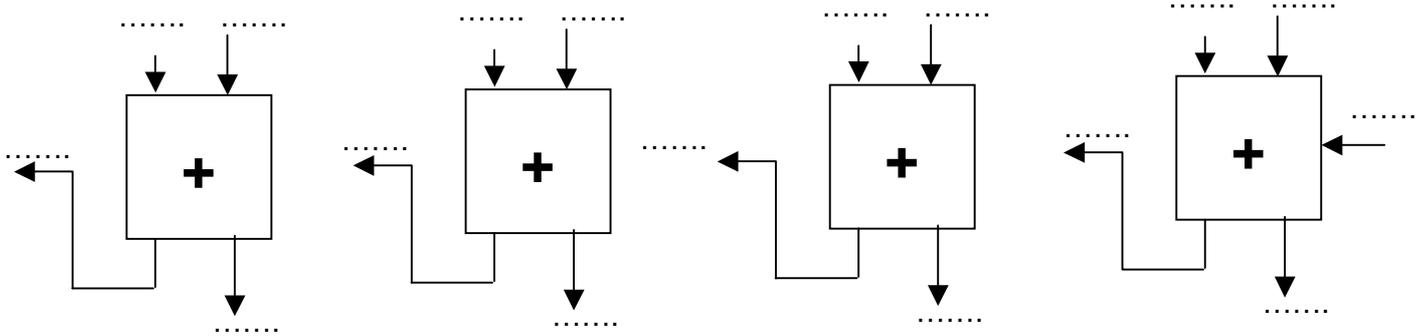
Identifier les boccs C1 et C2.

.....

/1

5- Mettre les entrées et les sorties et compléter le traçage du schéma synoptique de l'additionneur des deux nombres A ($a_3a_2a_1a_0$) et B ($b_3b_2b_1b_0$)

/2



6- On souhaite transformer le montage précédent en un additionneur / soustracteur. On rappelle que dans la représentation en complément à 2. $A - B = A + (-B) = A + \overline{B} + 1$.

Cet additionneur / soustracteur possèdera une entrée de commande « ADD » qui sera utilisée comme suit :

- $ADD = 0$, fonctionnement en additionneur
- $ADD = 1$, fonctionnement en soustracteur

a- Compléter la table de vérité suivante (y_i est l'image de bit b_i ou son complément selon l'opération).

ADD	b_i	y_i
0	0	
0	1	
1	1	
1	0	

/2

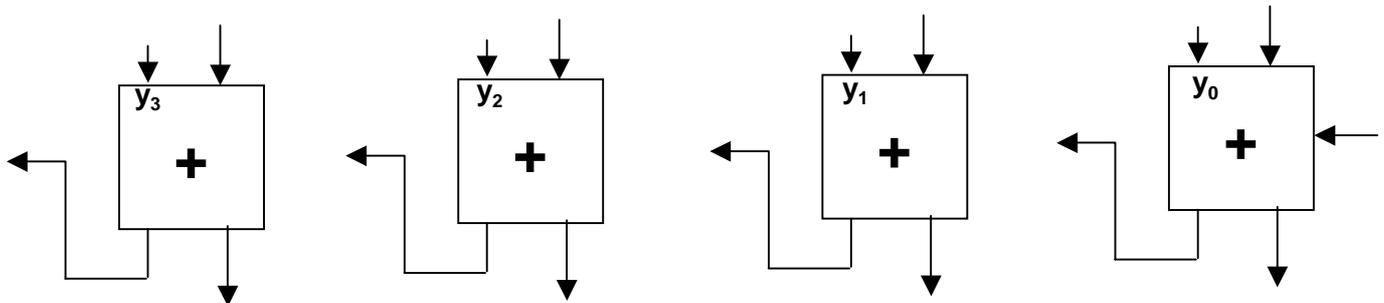
$Y_i = \dots\dots\dots$

b- Compléter le schéma synoptique de l'additionneur soustracteur.

/1

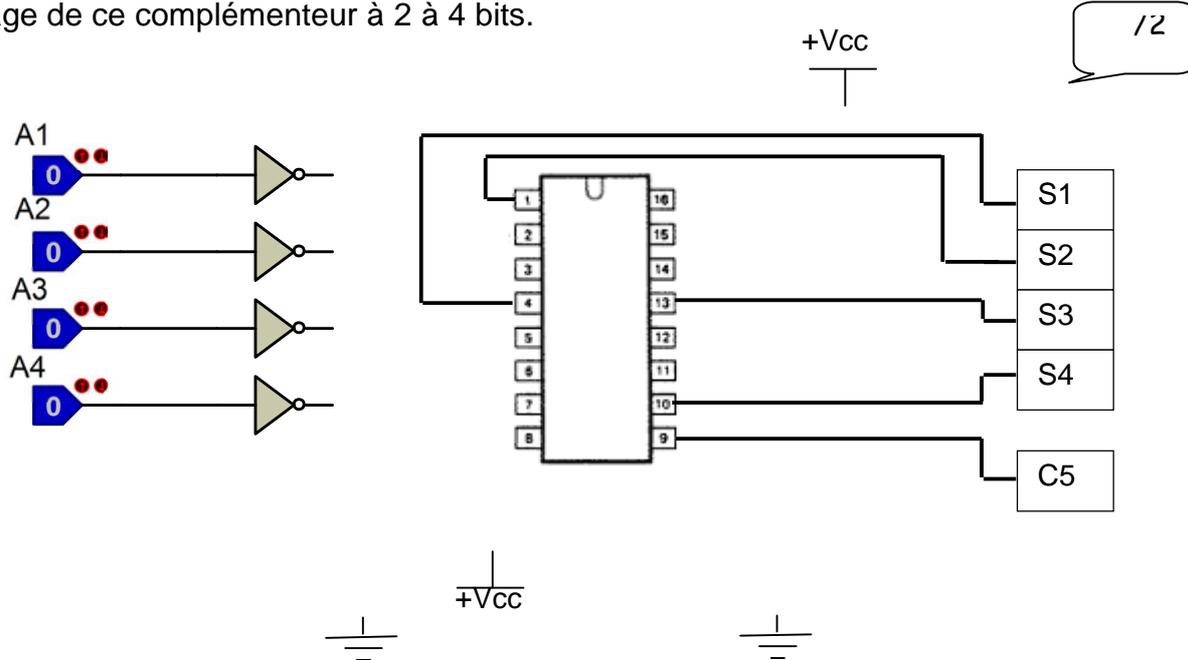


ADD



7- le complémenteur à 2 est un circuit qui effectue le complément à deux d'un nombre binaire (complément à 2 de $A^* = \bar{A} + 1$).

En se référant au dossier technique (circuit additionneur page 2/2) Compléter le schéma de câblage de ce complémenteur à 2 à 4 bits.



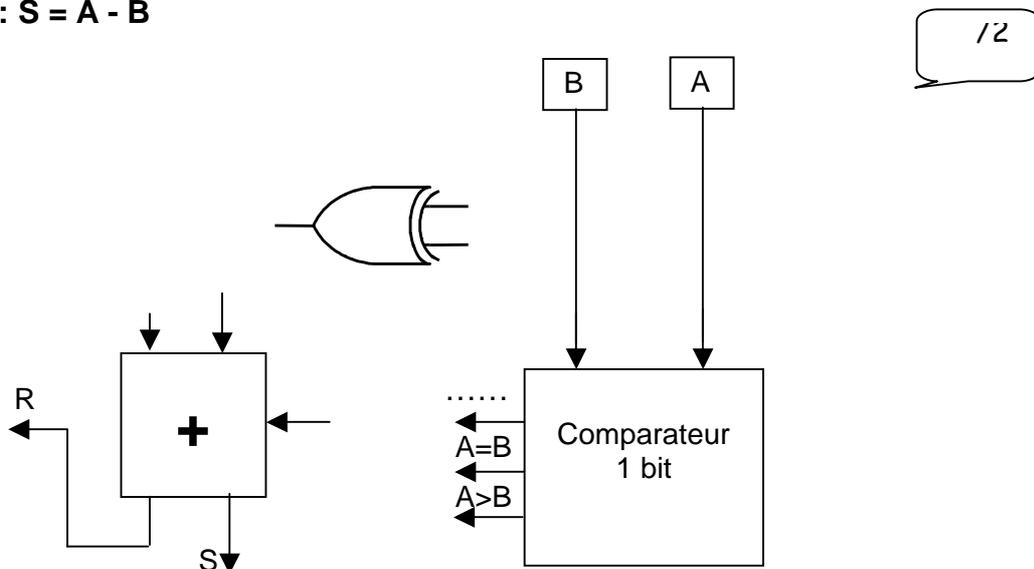
II- Etude du comparateur

Le comparateur existant dans le système compare les volumes des bidons et comportant les trois cellules suivantes :

- additionneur à 1 bit
- comparateur à 1 bit
- porte logique ou exclusif

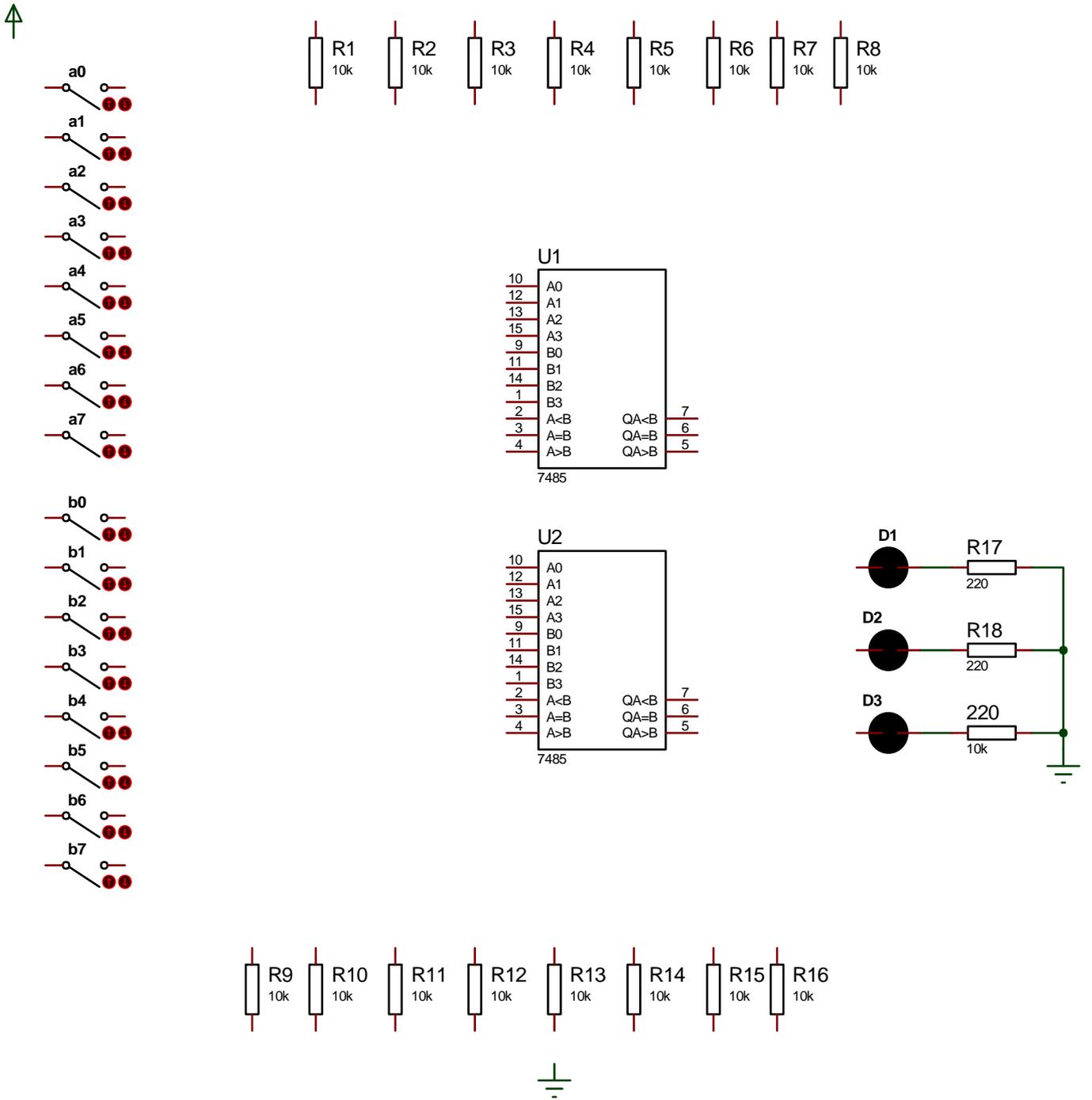
1- Pour $A : A_0$ et $B : B_0$, compléter le logigramme réalisant la fonction S suivante :

- Si $A = B : S = A + B$
- Si $A < B : S = A - B$



2- On compte changer le comparateur précédent par un autre à 8 bits.
Compléter le schéma suivant :

12



III- Etude de l'UAL

Le circuit intégré **74LS381** est une **UAL** qui permet de réaliser des opérations logiques ou arithmétiques entre deux mots de 4 bits : $A = a_3a_2a_1a_0$ et $B = b_3b_2b_1b_0$

La table de fonctionnement est la suivante :

Sélection			Fonction
S2	S1	S0	
0	0	0	Clear
0	0	1	B - A
0	1	0	A - B
0	1	1	A plus B
1	0	0	A OU B
1	0	1	A XOR B
1	1	0	A ET B
1	1	1	Preset

1°) Compléter la table suivante :

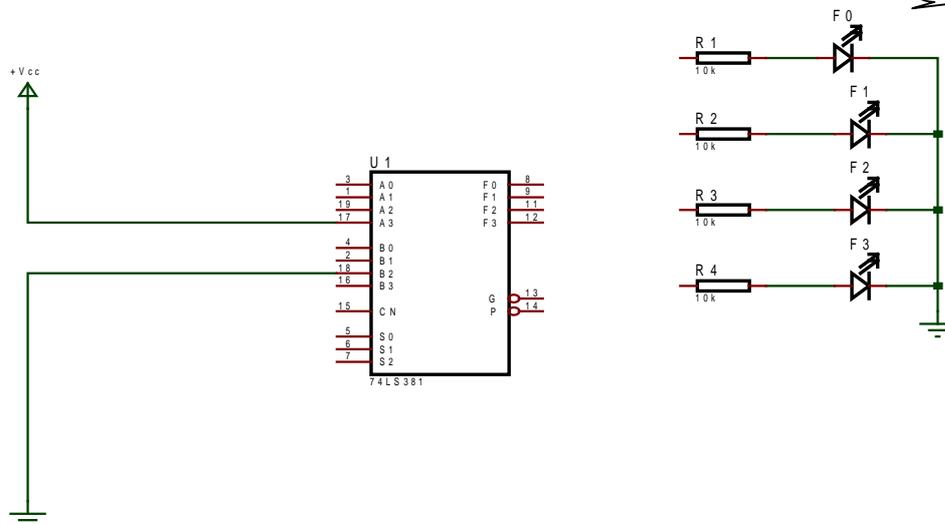
/2

S (s ₂ s ₁ s ₀)	A (a ₃ a ₂ a ₁ a ₀)	B (b ₃ b ₂ b ₁ b ₀)	F(f ₃ f ₂ f ₁ f ₀)
110	0101	0111	
	1111	1101	0010
100	1001	0101	
010	1110		1001
1111	0000	1010	

2°) Compléter le câblage ci-après pour avoir à la sortie:

$$F (F_3 F_2 F_1 F_0) = A (1110) \text{ XOR } B (1001)$$

/2



/1

3°) Indiquer l'état des LEDs (allumées ou éteintes)

- F0 =
- F1 =
- F2 =
- F3 =

<p style="font-size: 1.2em; margin: 0;"><u>Note</u></p>	<div style="border: 1px solid black; padding: 10px; font-size: 1.5em; font-weight: bold;"> / 20 </div>
---	---

EXERCICE N°1 (11 points)

1. Soient $A = (1010111)_2$ et $B = (100101)_2$.

1.1. Calculer $Cp1(A)$ et $Cp2(B)$ en utilisant un format de 7 bits. **(1.5 points)**

- $Cp1(A) = \dots\dots\dots$
- $Cp2(B) = \dots\dots\dots$
- $Cp1(A)+Cp2(B) = \dots\dots\dots$

2. On dispose de deux digits $A = 74$ et $B = 83$;

2.1. Calculer, en BCD, leur somme puis conclure. **(1.5 points)**

.....

.....

.....

.....

.....

.....

2.2. Effectuer en binaire l'opération $A-B$ puis conclure. **(1 points)**

.....

.....

.....

.....

.....

.....

3. Soit à réaliser une soustraction entre deux nombres binaires A (a) et B (b) à un 1 bit chacun en tenant compte de la retenue initiale à l'entrée R_0 .

3.1. Remplir le table de vérité ci-dessous : (R_1 : retenue final et $D=A-B$). **(1 points)**

R_0	a	b	D	R_1
0	0	0
	0	1
	1	0
	1	1

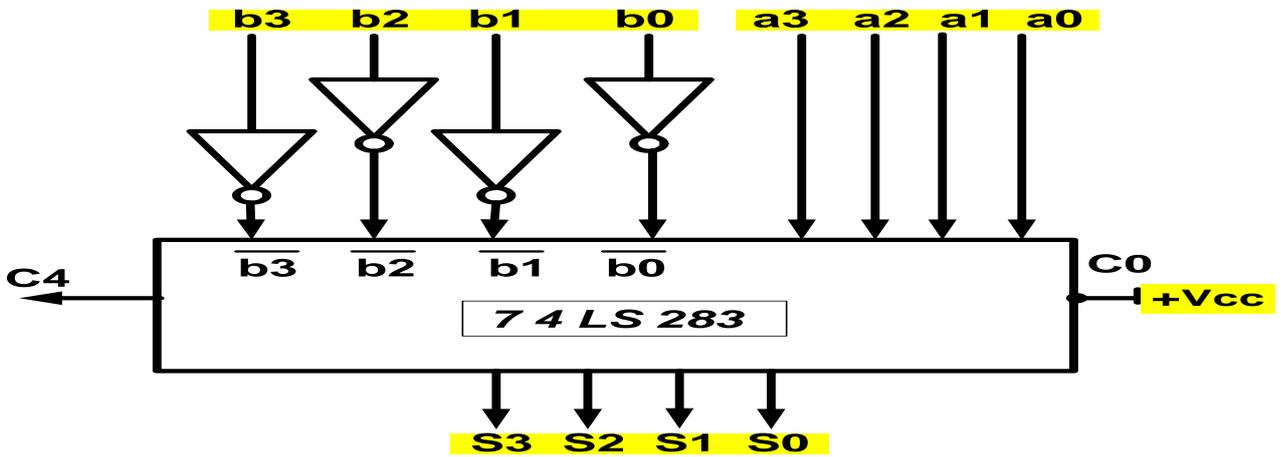
R_0	a	b	D	R_1
1	0	0
	0	1
	1	0
	1	1

3.2. Trouver les expressions de D et R_1 . (2 points)

D=.....

R_1 =.....

4. On veut simuler le résultat de l'opération précédente en utilisant un circuit additionneur à base de circuit intégré 74 LS 283. (2.5 points)



4.1. Expliquer brièvement que ce circuit permet de changer l'addition en soustraction entre deux nombres binaires à 4 bits chacun.

.....

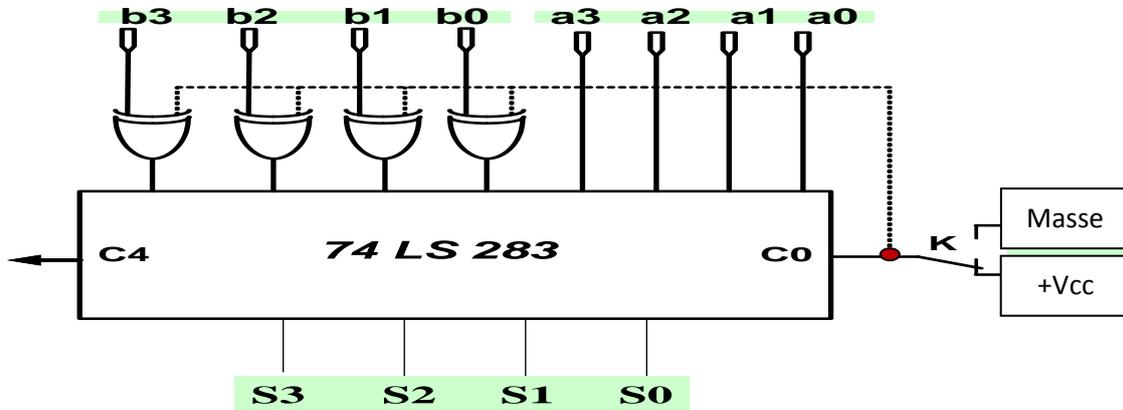
4.2. Quels sont les rôles des inverseurs et la mise à 1 de C_0 .

.....

4.3. Compléter le tableau suivant :

C0	A ($a_3a_2a_1a_0$)	B ($b_3b_2b_1b_0$)	S ($S_3S_2S_1S_0$)	C4	Opération réalisée
0	$(12)_{10}=(1100)_2$	$(3)_{10}=(0011)_2$
1	$(5)_{10}=(0101)_2$	$(9)_{10}=(1001)_2$

5. Maintenant, le même circuit 74LS 283 est utilisé dans le montage suivant : (1.5 points)



5.1. Si l'inverseur K est relié à la masse (0 logique) , justifier le type de montage.

.....

5.2. Si l'inverseur K est relié à +V_{cc} (1 logique) , justifier le type de montage.

.....

**** Remarque :** type de montage c'est-à-dire un additionneur ou un soustracteur

EXERCICE N°2 : (9 points)

ETUDE DE LA PARTIE COMMANDE :

1- En se reportant au dossier technique :

a- Donner le modulo du compteur : (0.5 points)

.....

b- En déduire le nombre de bascule à utiliser (à justifier): (0.5 points)

.....

2- Compléter la table de comptage et transitions ci-dessous. (2 points)

	Etat n			Etat n+1					
	Q2	Q1	Q0	Q2		Q1		Q0	
0	0	0	0	μ0	μ0	ε
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0	0	0	0

3- Le compteur est conçu à base de bascules JK dont les sorties sont Q2(MSB), Q1 et Q0(LSB). En utilisant le tableau de Karnaugh, déterminer les équations des entrées de commandes des différentes bascules. (3 points)

B0		Q1Q0			
		00	01	11	10
Q2	0
	1
J0 =					

B1		Q1Q0			
		00	01	11	10
Q2	0
	1
J1 =					

B2		Q1Q0			
		00	01	11	10
Q2	0
	1
J2 =					

B0		Q1Q0			
		00	01	11	10
Q2	0
	1
K0 =					

B1		Q1Q0			
		00	01	11	10
Q2	0
	1
K1 =					

B2		Q1Q0			
		00	01	11	10
Q2	0
	1
K2 =					

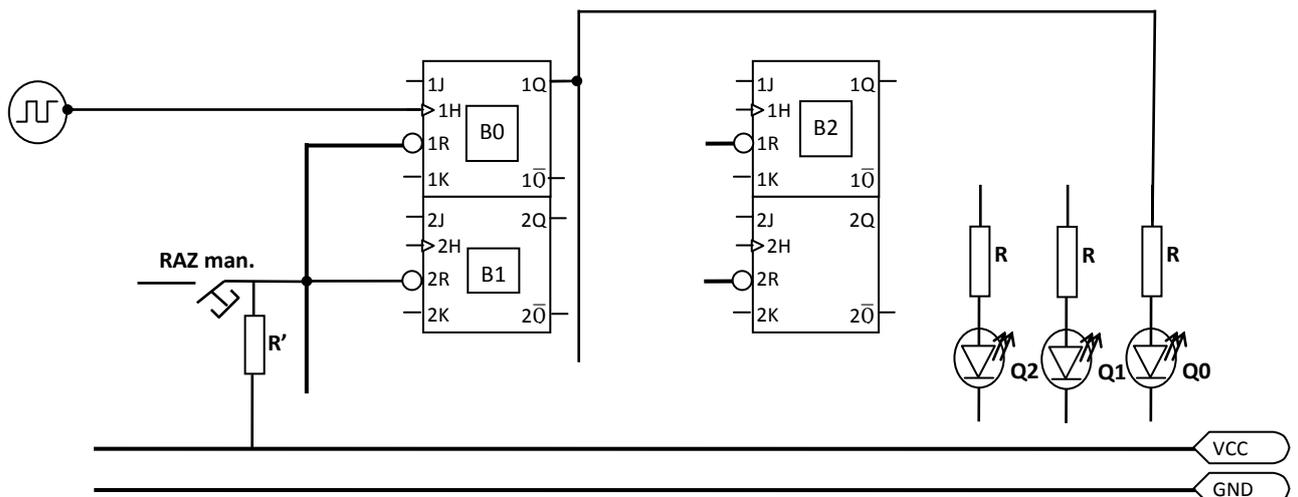
4. On utilise le circuit intégré 74HC73 pour réaliser un compteur : (3 points)

4.1. Déduire le type de front d'horloge :

4.2. Justifier le nombre de circuit intégrés :

4.3. On demande de compléter le schéma de câblage correspondant (Utiliser les bascules B0, B1 et B2).

** On note qu'on peut réinitialiser manuellement le compteur à 0 (RAZman).



REPUBLICQUE TUNISIENNE MINISTERE DE L'EDUCATION		LYCEE MED ALI ANNABI RAS DJBEL
		DEVOIR DE CONTRÔLE N°1
SECTION :	SCIENCES TECHNIQUES	Durée : 2 heures
Epreuve :	GENIE ELECTRIQUE	4 ^{ème} SC.TECH

Nom : Prénom : N° :

Exercice 1 : (8 pts)

Un petit atelier de production comporte deux postes indépendants d'usinage. Soit :

- **X** : le nombre des pièces usinées au poste 1.
- **Y** : le nombre des pièces usinées au poste 2.
- **Z** : le nombre total des pièces usinées.

X et **Y** sont deux nombres binaires à 4 bits délivrés par deux compteurs binaires asynchrones.

On veut tester si les deux postes produisent le même nombre des pièces (Sortie **S1**), si le nombre total des pièces est pair (**S2**) et supérieur à 20 (Sortie **S3**). Une sonnerie **S** se déclenche si les trois conditions sont réunies.

On dispose des circuits intégrés suivants : 2 circuits 74HC00 ; 74HC83 et 3 circuits 74HC85.

1- Ecrire l'équation de S avec NAND à 2 entrées.

.....
.....

2- Compléter le montage page 4/4 délivrant les 4 sorties S1, S2, S3 et S.

3- Analyser le fonctionnement de ce montage

.....
.....
.....
.....
.....
.....
.....
.....
.....
.....
.....

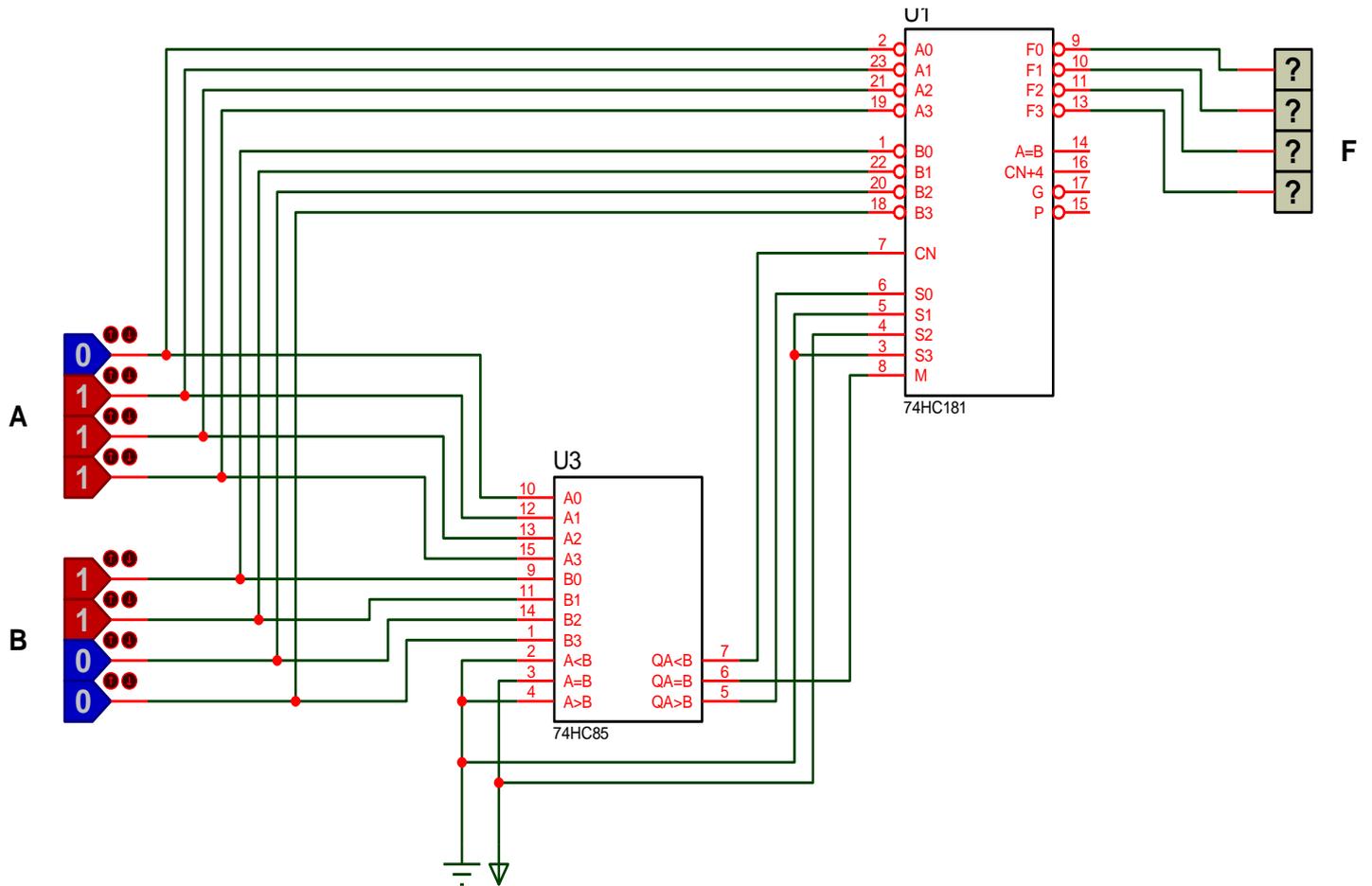
Exercice 2 : (4 pts)

On donne le montage suivant complet :

Analyser le fonctionnement de ce montage en complétant le tableau suivant :

.....
.....
.....

A ₁₀	B ₁₀	M	C _N	S ₁₀	Fonction F	F ₁₀
2	5					
6	6					
7	3					



Exercice 3: (8 pts)

On veut réaliser un système combinatoire permettant de **convertir** un nombre de 4 bits de binaire naturel en binaire réfléchi.

1- Compléter la table de vérité suivante :

N ^{bre} décimal	B3	B2	B1	B0	G3	G2	G1	G0
0	0	0	0	0				
1	0	0	0	1				
2	0	0	1	0				
3	0	0	1	1				
4	0	1	0	0				
5	0	1	0	1				
6	0	1	1	0				
7	0	1	1	1				
8	1	0	0	0				
9	1	0	0	1				
10	1	0	1	0				
11	1	0	1	1				
12	1	1	0	0				
13	1	1	0	1				
14	1	1	1	0				
15	1	1	1	1				

2- Déterminer graphiquement les expressions logiques des sorties G3, G2, G1 et G0.

B1B0 \ B3B2	00	01	11	10	G ₃
00					
01					
11					
10					

G₃ =

B1B0 \ B3B2	00	01	11	10	G ₂
00					
01					
11					
10					

G₂ =

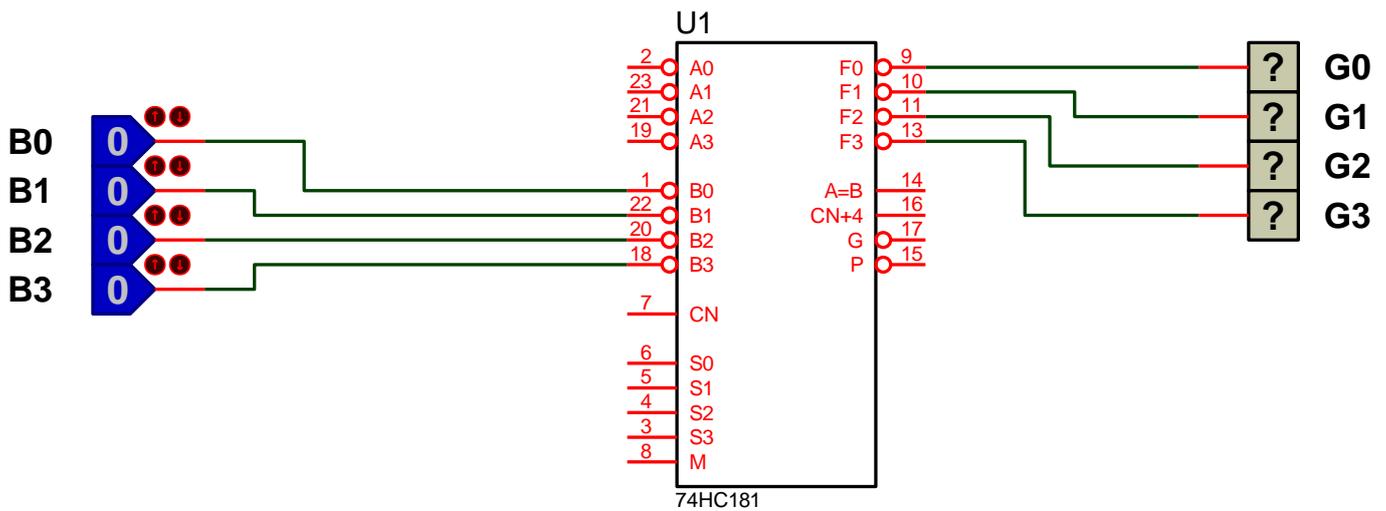
B1B0 \ B3B2	00	01	11	10	G ₁
00					
01					
11					
10					

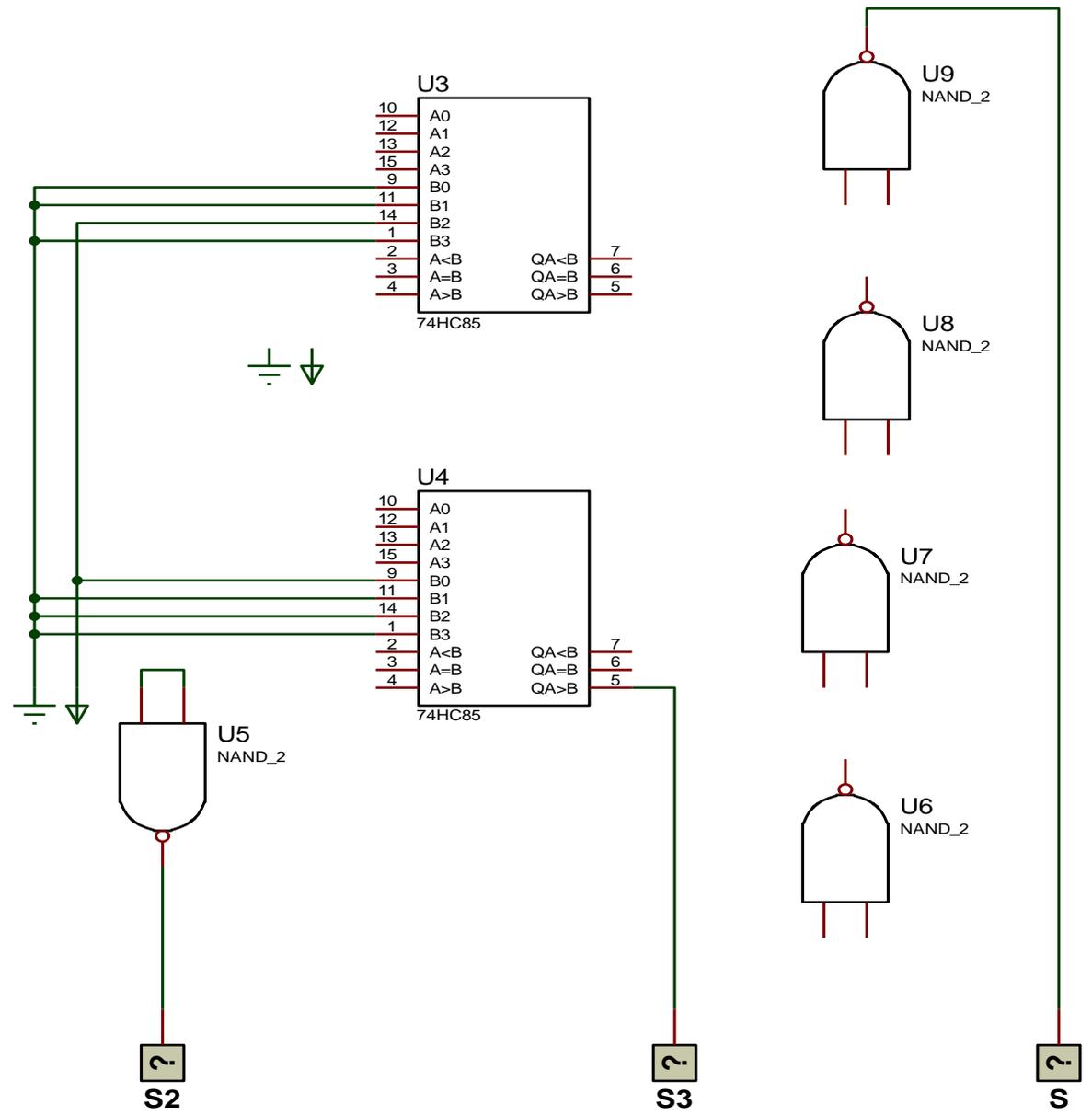
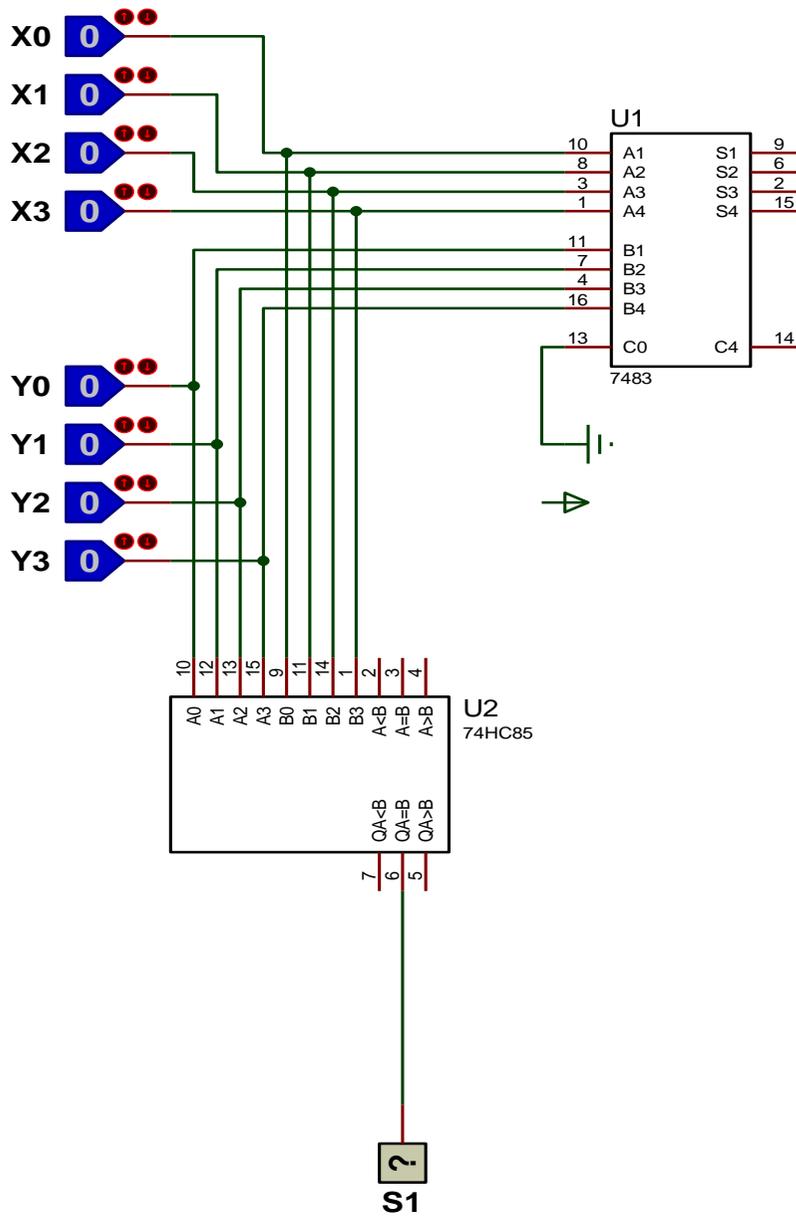
G₁ =

B1B0 \ B3B2	00	01	11	10	G ₀
00					
01					
11					
10					

G₀ =

3- En se référant à la table de vérité d'une UAL 74181, compléter le montage suivant réalisant le transcodeur précédent.

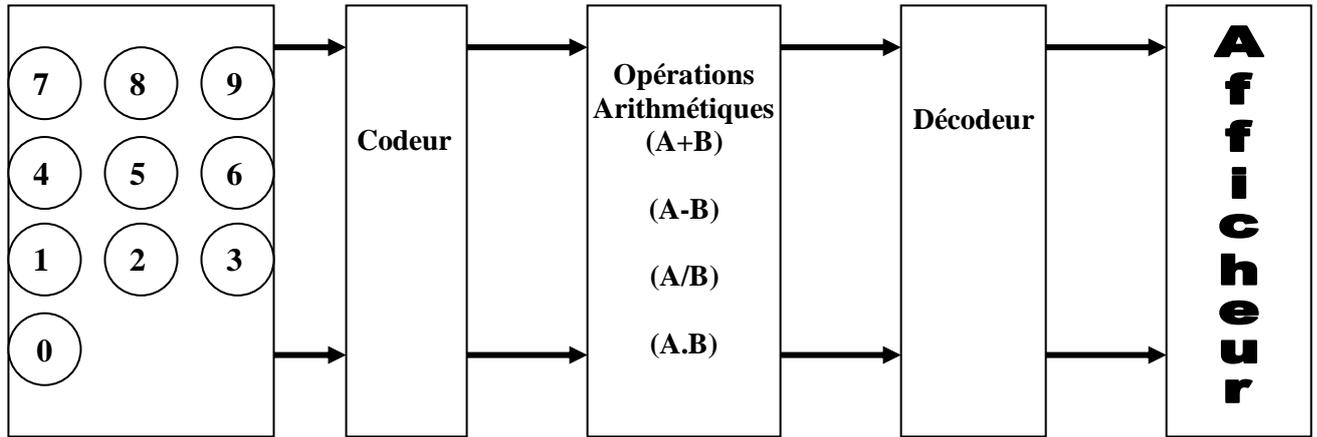




NOTE : 20

ETUDE DE LA PARTIE COMMANDE :

Après l'opération de perçage , les pièces seront transférées vers une zone de comptage assurée par un calculateur arithmétique dont le schéma synoptique est le suivant :



I- on donne $A = 1011$ et $B = 0110$

1°) Trouver l'équivalent décimal de A et B

$A = 1011_{(2)} \Rightarrow \dots\dots\dots(10)$

$B = 0110_{(2)} \Rightarrow \dots\dots\dots(10)$

2°) Soit B' le complément à « 2 » de B.
Calculer B' est donner son équivalent décimal.

.....

3°) Effectuer l'opération $(A + B')$, contrôler le résultat en convertissant la réponse binaire en décimal.

NB : Le résultat de cette opération sera donné sur un format de quatre bits, à cette effet on élimine le bit le plus significatif (1^{er} à gauche).

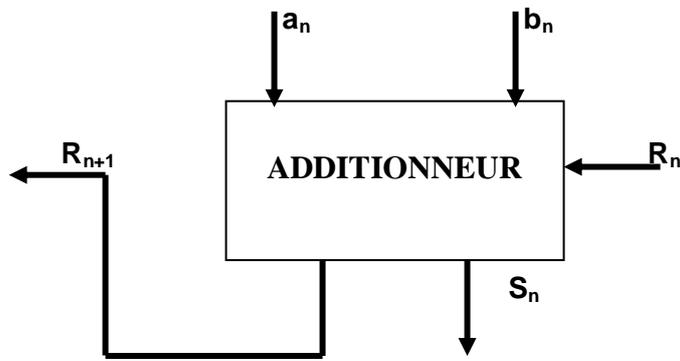
.....

4°) Que peut on conclure ?

.....

II- Le modèle général d'un additionneur élémentaire d'ordre n est le suivant :

0.5
0.5
1.5
1.5
1
5



1°) En utilisant le modèle décrit ci-dessus, établir le circuit matérialisant l'addition de (A + B).

2.5

2°) En s'inspirant de la question (I- 3) et utilisant le modèle décrit ci-dessus , établi le circuit matérialisant la soustraction de (A – B)

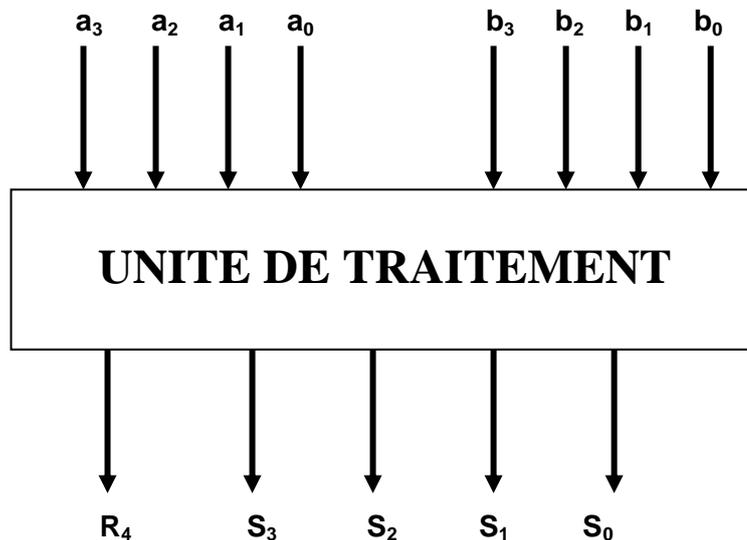
2.5

III- On désire réaliser un additionneur/soustracteur

L'unité de traitement comporte :

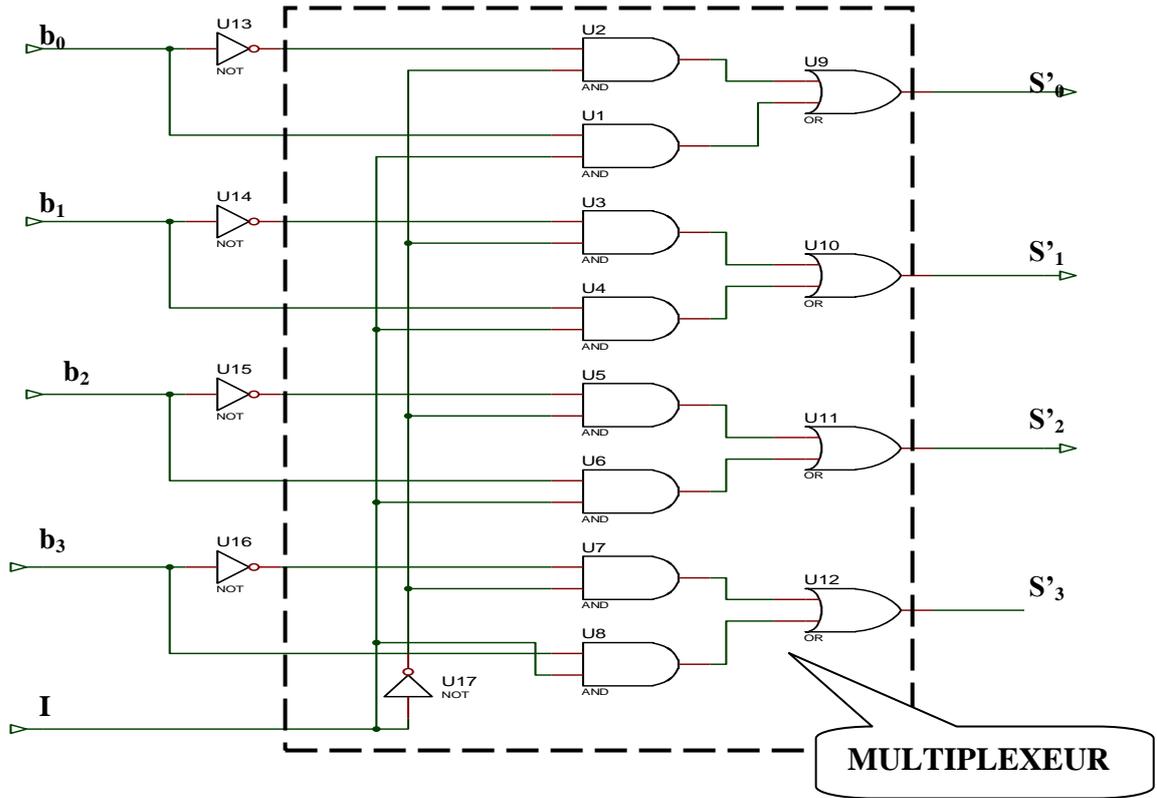
- un circuit 74HC283 (additionneur à 4 bits)
- Un circuit 7404 (6inverseurs)
- Un circuit 74157 (4 multiplexeurs 2 vers1)

Schéma synoptique de l'unité de traitement :



5

On donne le schéma logique suivant:

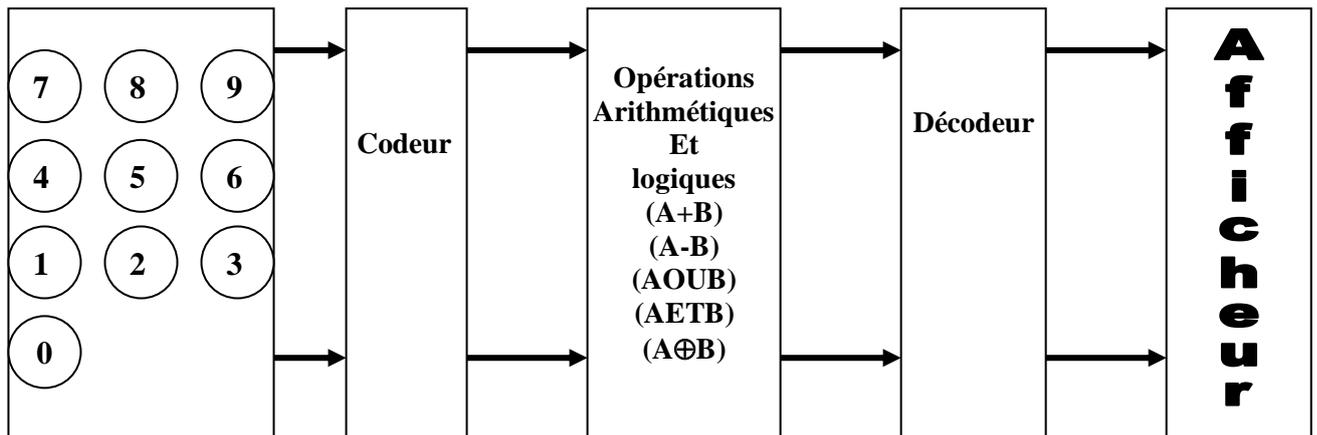


1°) Compléter la table suivante :

Adresse	Sorties			
I	S'3	S'2	S'1	S'0
0				
1				

2°) Compléter le schéma de câblage du circuit correspondant à l'unité de traitement numérique (page5/5)

IV- Pour obtenir une UAL (Unité Arithmétique et Logique) on a remplacé le bloc du schéma synoptique précédons (page1/5) par le schéma suivant :



Le circuit intégré **74LS381** est une UAL qui permet de réaliser des opérations logiques ou arithmétiques entre deux mots de 4 bits : **A = a₃a₂a₁a₀** et **B = b₃b₂b₁b₀**
 la table de fonctionnement est la suivante :

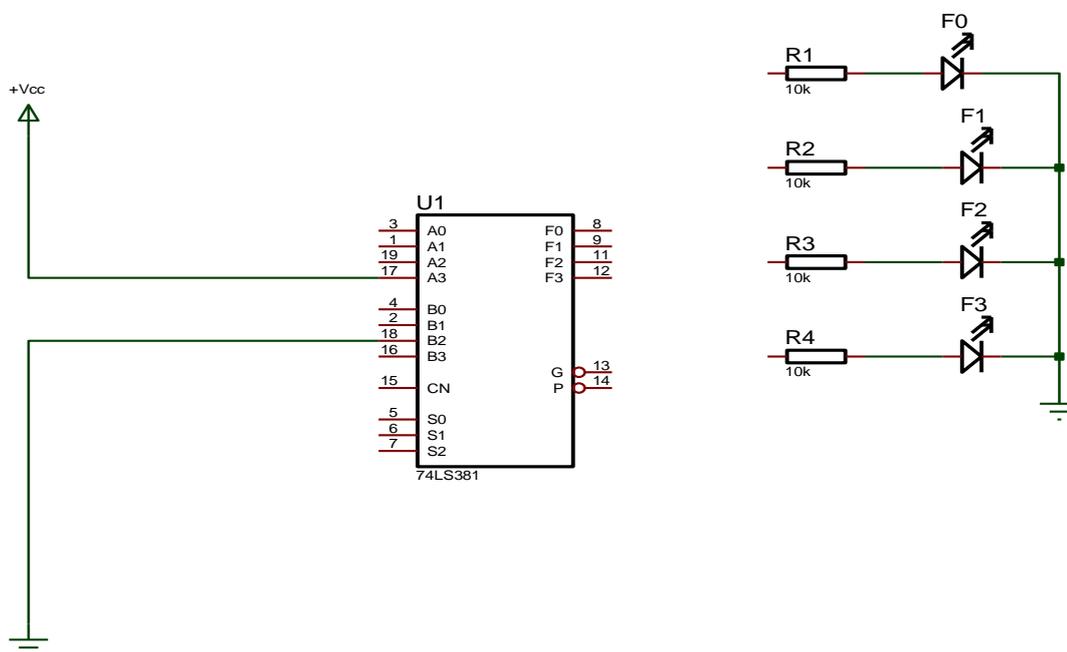
Sélection			Fonction
S2	S1	S0	
0	0	0	Clear
0	0	1	B - A
0	1	0	A - B
0	1	1	A plus B
1	0	0	A OU B
1	0	1	A XOR B
1	1	0	A ET B
1	1	1	Preset

1°) Compléter la table suivante :

S (s ₂ s ₁ s ₀)	A (a ₃ a ₂ a ₁ a ₀)	B (b ₃ b ₂ b ₁ b ₀)	F(f ₃ f ₂ f ₁ f ₀)
110	1010	0111	
	1111	0101	1010
100	1001	1100	
010	0110		1101
000			

2°) Compléter le câblage ci-après pour avoir à la sortie:

$$F (F_3F_2F_1F_0) = A (1110) - B (1001)$$



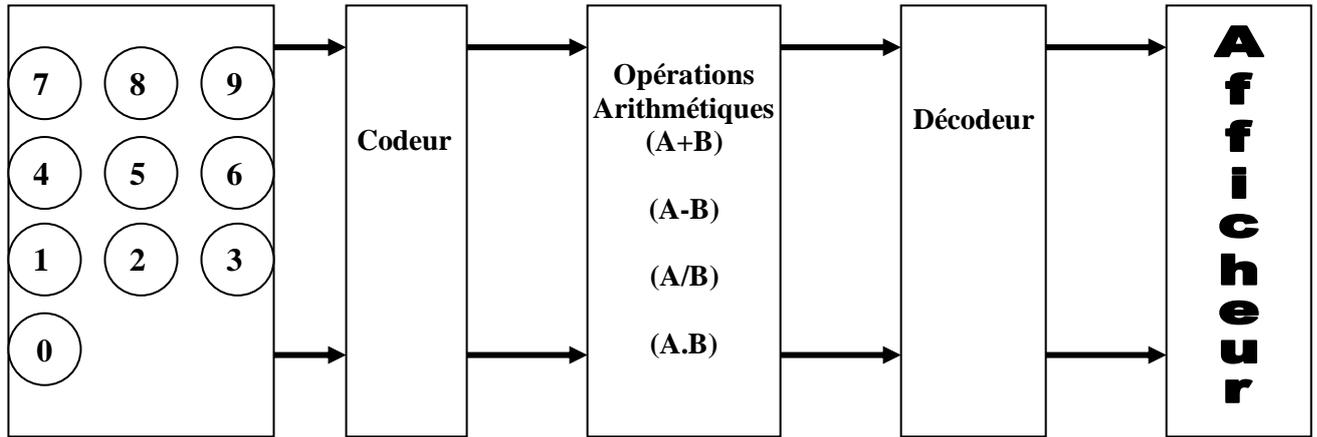
2

3

5

ETUDE DE LA PARTIE COMMANDE :

Après l'opération de perçage , les pièces seront transférées vers une zone de comptage assurée par un calculateur arithmétique dont le schéma synoptique est le suivant :



I- Soit $A = a_3a_2a_1a_0$ et $B = b_3b_2b_1b_0$ deux nombres binaires

1°) on donne $A = 1011$ et $B = 0110$

Trouver l'équivalent décimal de A et B

$A = 1011_{(2)} \Rightarrow \dots\dots\dots 11_{(10)}$

$B = 0110_{(2)} \Rightarrow \dots\dots\dots 6_{(10)}$

2°) Soit B' le complément à « 2 » de B.
Calculer B' est donner son équivalent décimal.

0110 son comp à « 2 » 1010
 d'où $(-8) + 2 = -6_{(10)}$
 $1010_{(2)} \Rightarrow -6_{(10)}$

3°) Effectuer l'opération $(A + B')$, contrôler le résultat en convertissant la réponse binaire en décimal.

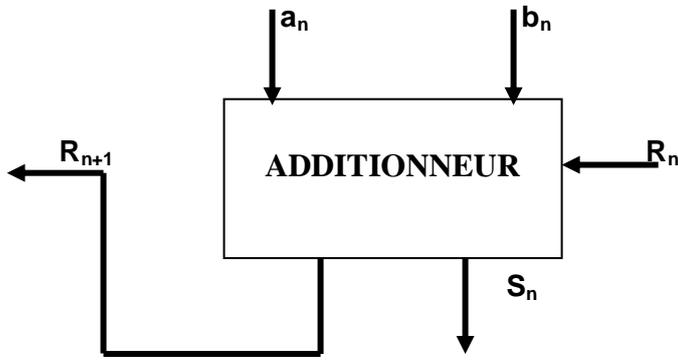
NB : Le résultat de cette opération sera donné sur un format de quatre bits, à cette effet on élimine le bit le plus significatif (1^{er} à gauche).

$A + B' \Rightarrow 1011_{(2)} + 1010_{(2)} = 0101_{(2)}$
 $11 - 6 = 5$
 $0101_{(2)} \Rightarrow 5_{(10)}$

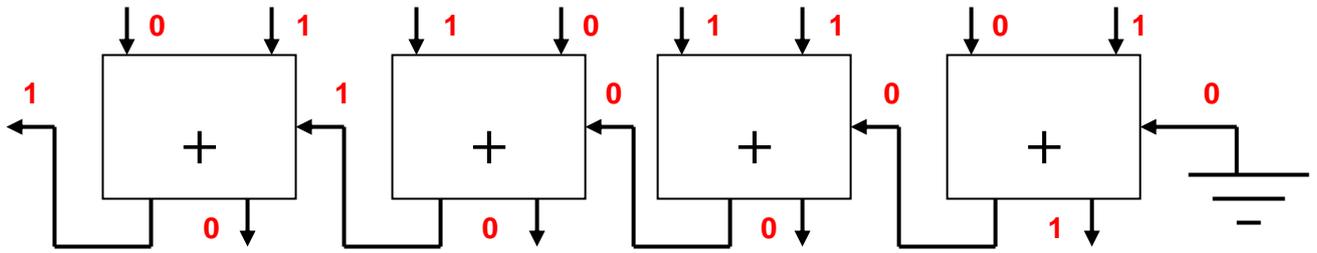
4°) Que peut on conclure ?

Le complément à « 2 » est la représentation négative d'un nombre binaire d'où $A + B' = A - B$.

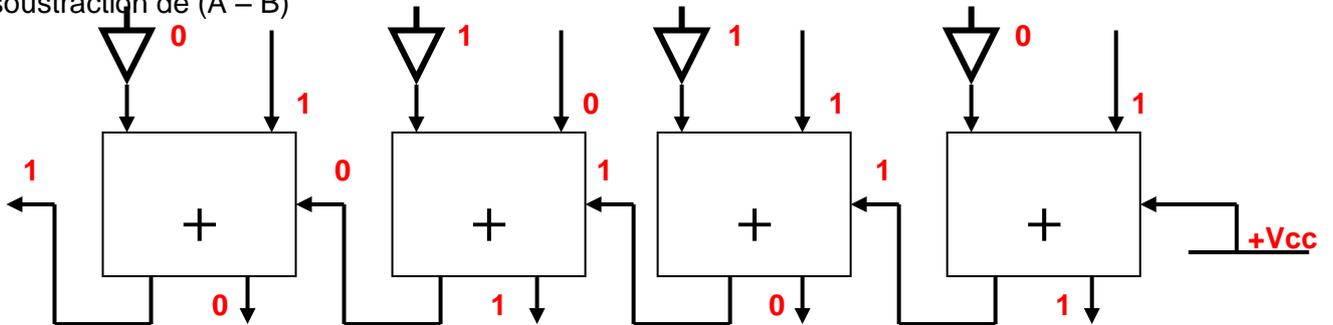
II- Le modèle général d'un additionneur élémentaire d'ordre n est le suivant :



1°) En utilisant le modèle décrit ci-dessus, établir le circuit matérialisant l'addition de (A + B).



2°) En s'inspirant de la question (I- 3) et utilisant le modèle décrit ci-dessus , établi le circuit matérialisant la soustraction de (A - B)

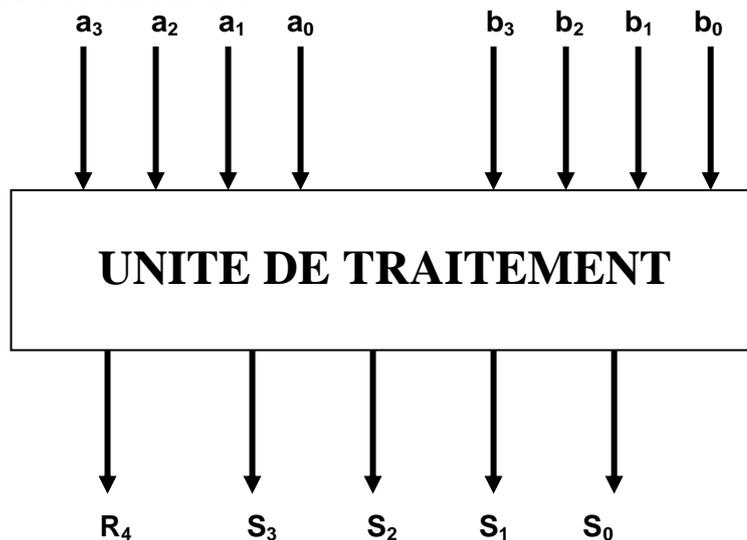


III- On désire réaliser un additionneur/soustracteur

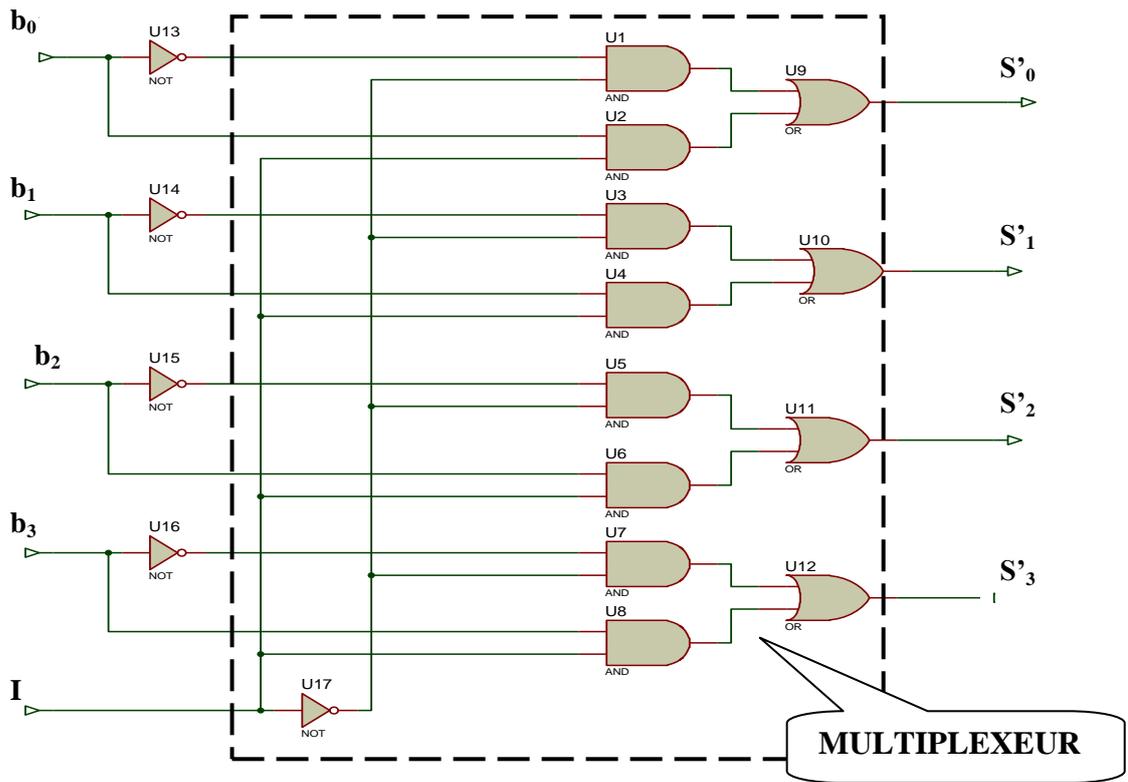
L'unité de traitement comporte :

- un circuit 74HC283 (additionneur à 4 bits)
- Un circuit 7404 (6inverseurs)
- Un circuit 74157 (4 multiplexeurs 2 vers1)

Schéma synoptique de l'unité de traitement :



On donne le schéma logique suivant:

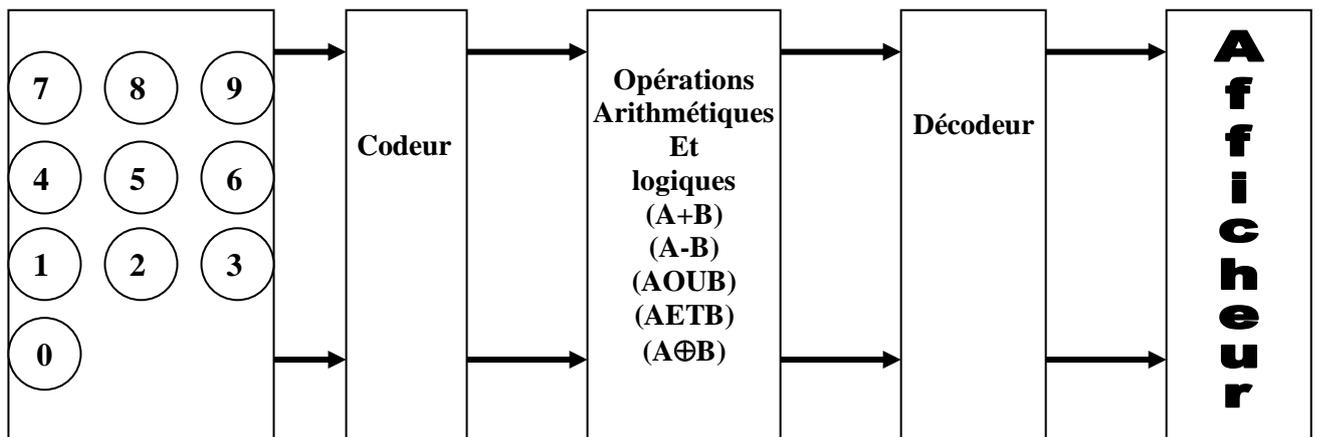


1°) Compléter la table suivante :

Adresse	Sorties			
	S' ₃	S' ₂	S' ₁	S' ₀
0	$\overline{b_3}$	$\overline{b_2}$	$\overline{b_1}$	$\overline{b_0}$
1	b_3	b_2	b_1	b_0

2°) Compléter le schéma de câblage du circuit correspond à l'unité de traitement numérique (page5/5)

IV- Pour obtenir une UAL (Unité Arithmétique et Logique) on a remplacé le bloc du schéma synoptique précédons (page1/5) par le schéma suivant :



Le circuit intégré **74LS381** est une UAL qui permet de réaliser des opérations logiques ou arithmétiques entre deux mots de 4 bits : **A = a₃a₂a₁a₀** et **B = b₃b₂b₁b₀**
 la table de fonctionnement est la suivante :

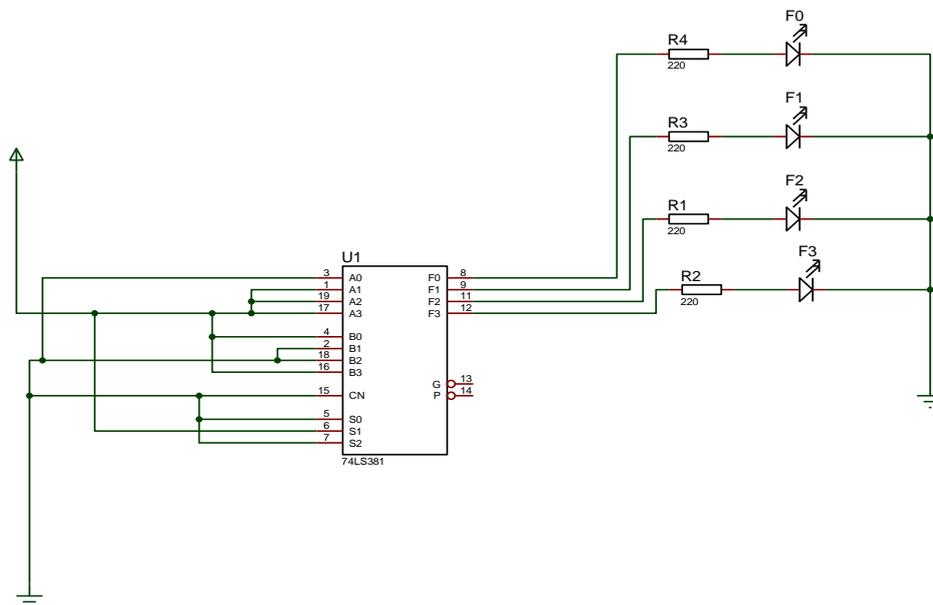
Sélection			Fonction
S2	S1	S0	
0	0	0	Clear
0	0	1	B - A
0	1	0	A - B
0	1	1	A plus B
1	0	0	A OU B
1	0	1	A XOR B
1	1	0	A ET B
1	1	1	Preset

1°) Compléter la table suivante :

S (s ₂ s ₁ s ₀)	A (a ₃ a ₂ a ₁ a ₀)	B (b ₃ b ₂ b ₁ b ₀)	F(f ₃ f ₂ f ₁ f ₀)
110	1010	0111	0010
010	1111	0101	1010
100	1001	1100	1101
010	0110	0101	0001
000	xxxx	xxxx	0000

2°) Compléter le câblage ci-après pour avoir à la sortie:

$$F (F_3F_2F_1F_0) = A (1110) - B (1001)$$



2

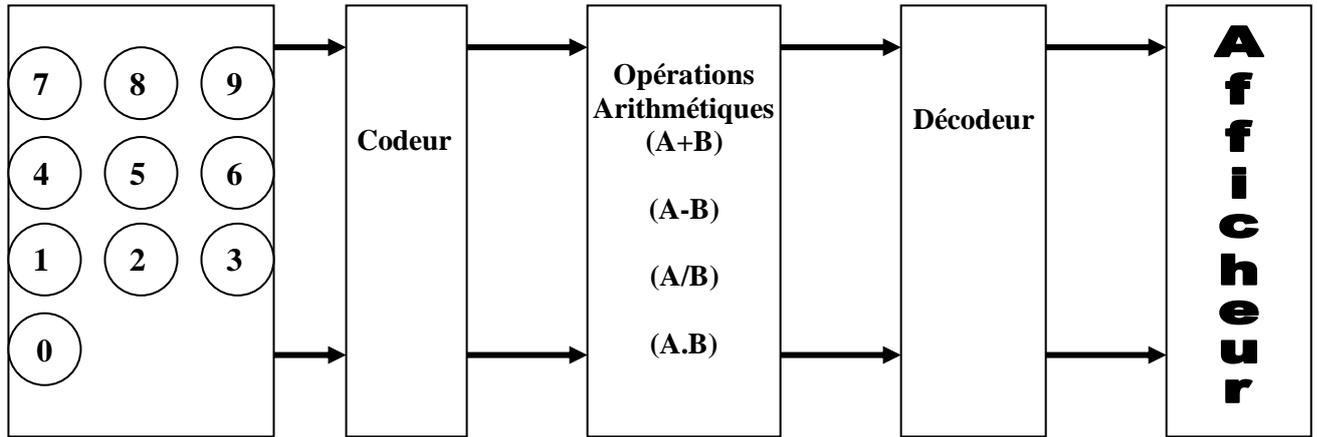
3

5

NOTE : 20

ETUDE DE LA PARTIE COMMANDE :

Après l'opération de perçage , les pièces seront transférées vers une zone de comptage assurée par un calculateur arithmétique dont le schéma synoptique est le suivant :



I- on donne $A = 1011$ et $B = 0110$

1°) Trouver l'équivalent décimal de A et B

$A = 1011_{(2)} \Rightarrow \dots\dots\dots(10)$

$B = 0110_{(2)} \Rightarrow \dots\dots\dots(10)$

2°) Soit B' le complément à « 2 » de B.
Calculer B' est donner son équivalent décimal.

.....

3°) Effectuer l'opération $(A + B')$, contrôler le résultat en convertissant la réponse binaire en décimal.

NB : Le résultat de cette opération sera donné sur un format de quatre bits, à cette effet on élimine le bit le plus significatif (1^{er} à gauche).

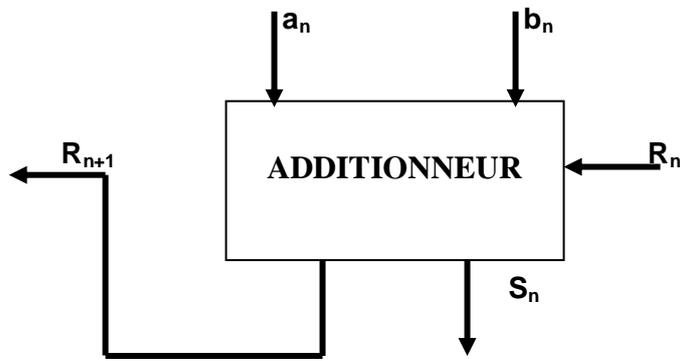
.....

4°) Que peut on conclure ?

.....

II- Le modèle général d'un additionneur élémentaire d'ordre n est le suivant :

0.5
0.5
1.5
1.5
1
5



1°) En utilisant le modèle décrit ci-dessus, établir le circuit matérialisant l'addition de (A + B).

2.5

2°) En s'inspirant de la question (I- 3) et utilisant le modèle décrit ci-dessus , établi le circuit matérialisant la soustraction de (A – B)

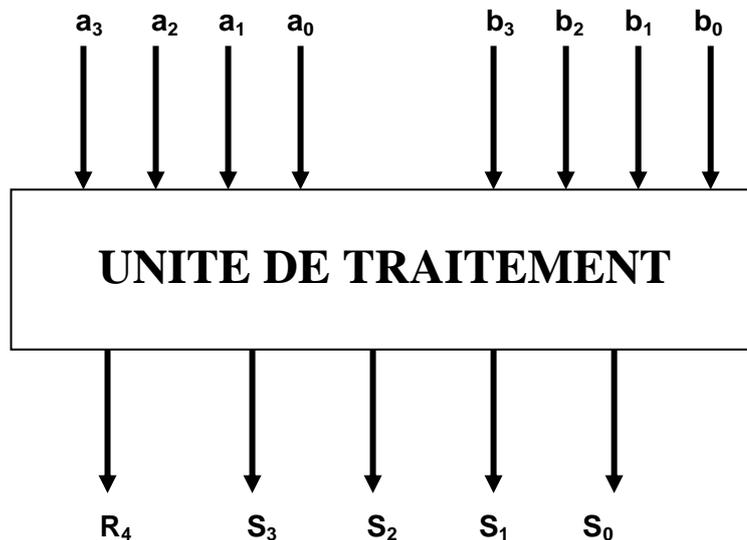
2.5

III- On désire réaliser un additionneur/soustracteur

L'unité de traitement comporte :

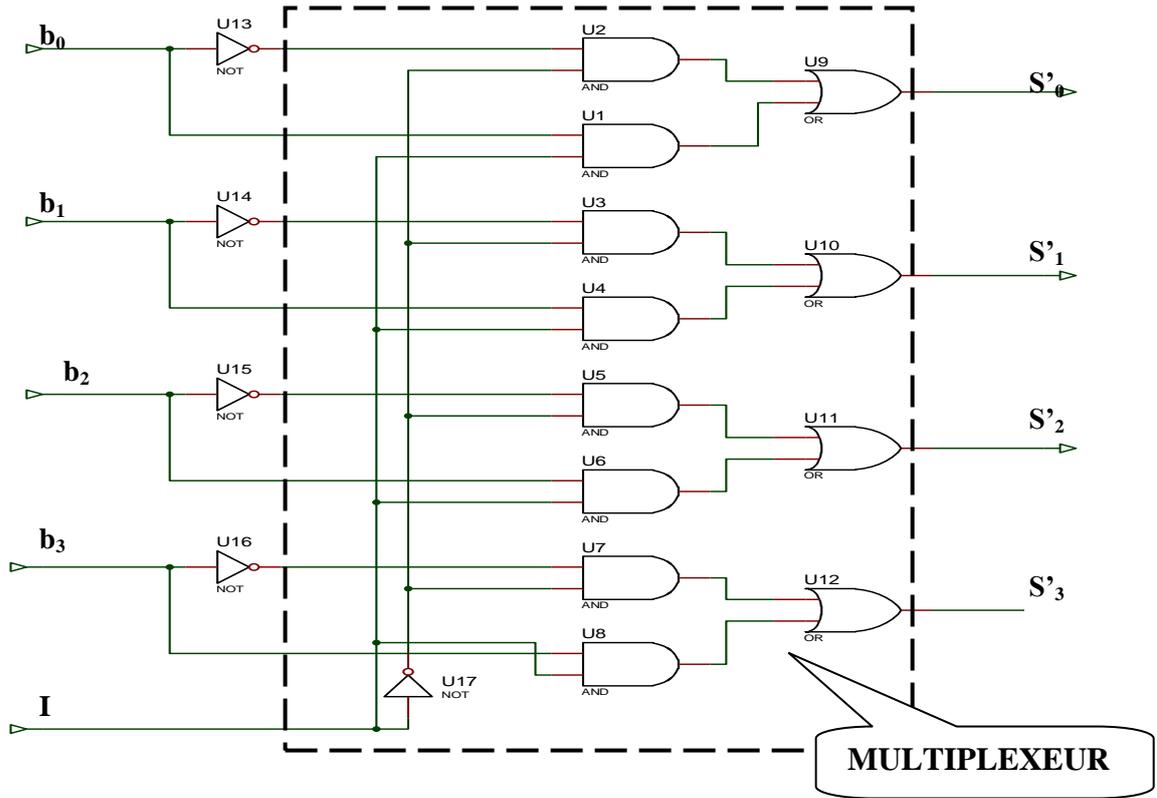
- un circuit 74HC283 (additionneur à 4 bits)
- Un circuit 7404 (6inverseurs)
- Un circuit 74157 (4 multiplexeurs 2 vers1)

Schéma synoptique de l'unité de traitement :



5

On donne le schéma logique suivant:

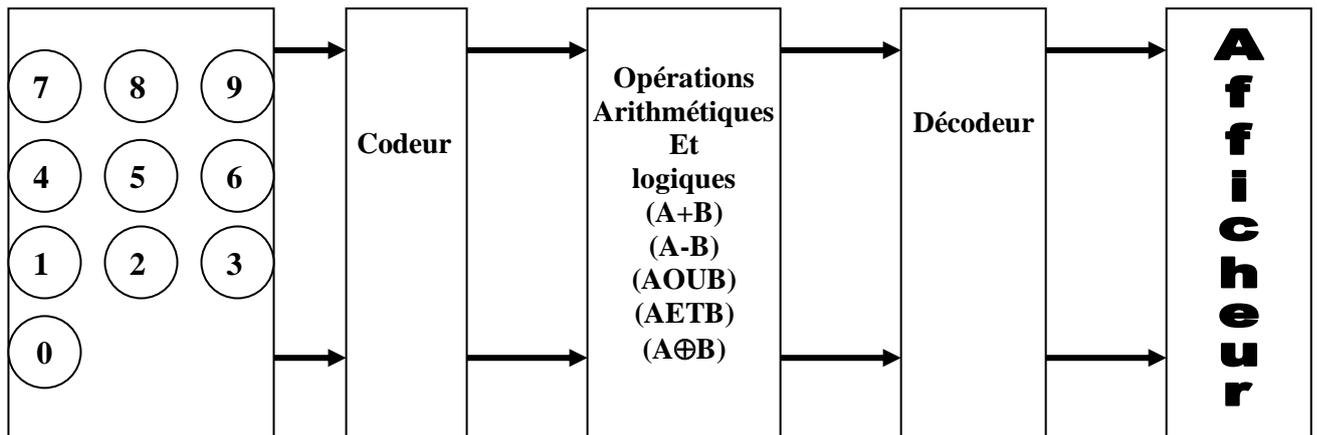


1°) Compléter la table suivante :

Adresse	Sorties			
I	S'3	S'2	S'1	S'0
0				
1				

2°) Compléter le schéma de câblage du circuit correspondant à l'unité de traitement numérique (page5/5)

IV- Pour obtenir une UAL (Unité Arithmétique et Logique) on a remplacé le bloc du schéma synoptique précédons (page1/5) par le schéma suivant :



Le circuit intégré **74LS381** est une UAL qui permet de réaliser des opérations logiques ou arithmétiques entre deux mots de 4 bits : **A = a₃a₂a₁a₀** et **B = b₃b₂b₁b₀**
 la table de fonctionnement est la suivante :

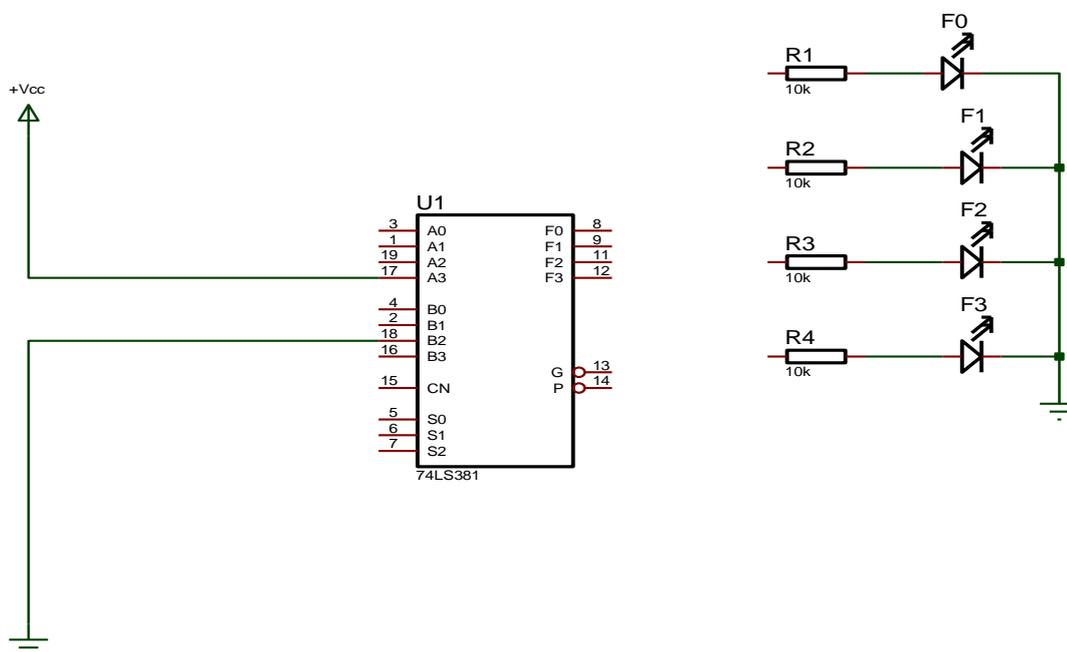
Sélection			Fonction
S2	S1	S0	
0	0	0	Clear
0	0	1	B - A
0	1	0	A - B
0	1	1	A plus B
1	0	0	A OU B
1	0	1	A XOR B
1	1	0	A ET B
1	1	1	Preset

1°) Compléter la table suivante :

S (s ₂ s ₁ s ₀)	A (a ₃ a ₂ a ₁ a ₀)	B (b ₃ b ₂ b ₁ b ₀)	F(f ₃ f ₂ f ₁ f ₀)
110	1010	0111	
	1111	0101	1010
100	1001	1100	
010	0110		1101
000			

2°) Compléter le câblage ci-après pour avoir à la sortie:

$$F (F_3F_2F_1F_0) = A (1110) - B (1001)$$



2

3

5